

双 DSI 主收发器

33SA0528 是第三代 SMARTMOS 独立双通道分布式系统接口(DSI)主机。

每个独立的通道都包含一个差分驱动器和一个双加法器接收器。嵌入式 DSI 协议引擎可转换物理接口与双冗余 SPI 接口之间的 DSI 数据。MCU 可控制和配置 33SA0528，并通过双 SPI 从 33SA0528 中提取所有从收发器数据。

为确保通信的可靠性，33SA0528 采用片上带隙基准调节器监控所有电源电压，并采用片上振荡器监控 PPL 时钟，以实现外部时钟错误检测。

特性

- 两个独立的 DSI 主机通道
- 支持从机配置命令和响应模式
- 支持 PDCM（定期数据采集）模式，可定期传输从机数据
- 支持从机物理地址自编程发现模式
- 10 MHz 32 位双 SPI：用于器件配置和 DSI 操作的主 SPI，以及用于确保安全的冗余 SPI
- 点对点、并行、菊花链总线拓扑结构
- 各种诊断功能



应用

- 汽车安全气囊和安全性
- 工业系统
- 传感和触发器应用

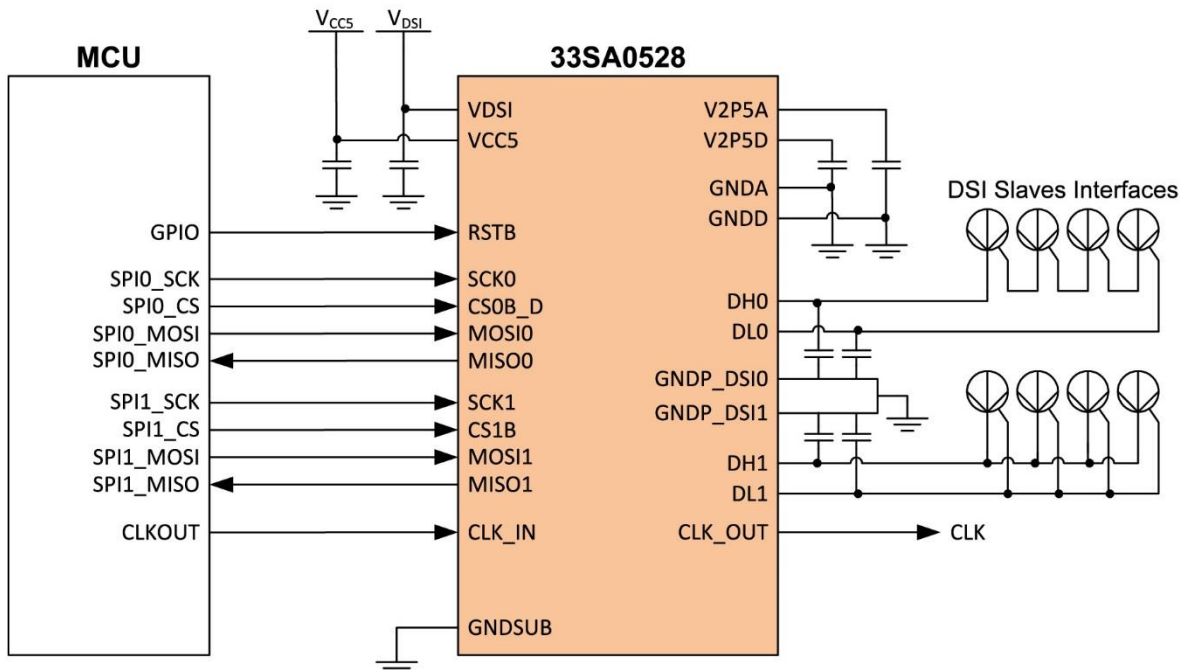


图 1. 33SA0528 简化应用电路图

目录

1	可订购部件	3
2	内部功能框图	4
3	引脚连接	5
3.1	引脚配置图	5
3.2	引脚定义	5
4	一般产品特性	7
4.1	最大额定值	7
4.2	热学特性	7
4.3	工作条件	8
4.4	电源电流	8
5	通用 IC 功能说明	9
5.1	功能框图	9
5.2	特性	9
5.3	功能说明	9
5.4	通信	9
6	功能模块说明	10
6.1	SPI	10
6.2	DSI 协议引擎	20
6.3	总线驱动器保护	29
6.4	电源监控器	30
6.5	时钟和重置模块	31
7	典型应用	33
7.1	简介	33
7.2	应用电路图	33
7.3	布局建议	34
8	封装	35
8.1	封装机械尺寸	35
9	修订记录	39

1 可订购部件

本小节描述可订购部件编号及其差异。

表 1. 可订购部件版本

部件编号	注	温度(T _A)	封装
MC33SA0528AC	(1)	-40 °C 至 125 °C	32 引脚 LQFP 封装

注

1. 要订购以带/卷形式提供的零件，请在部件编号后面添加 R2 后缀。

2 内部功能框图

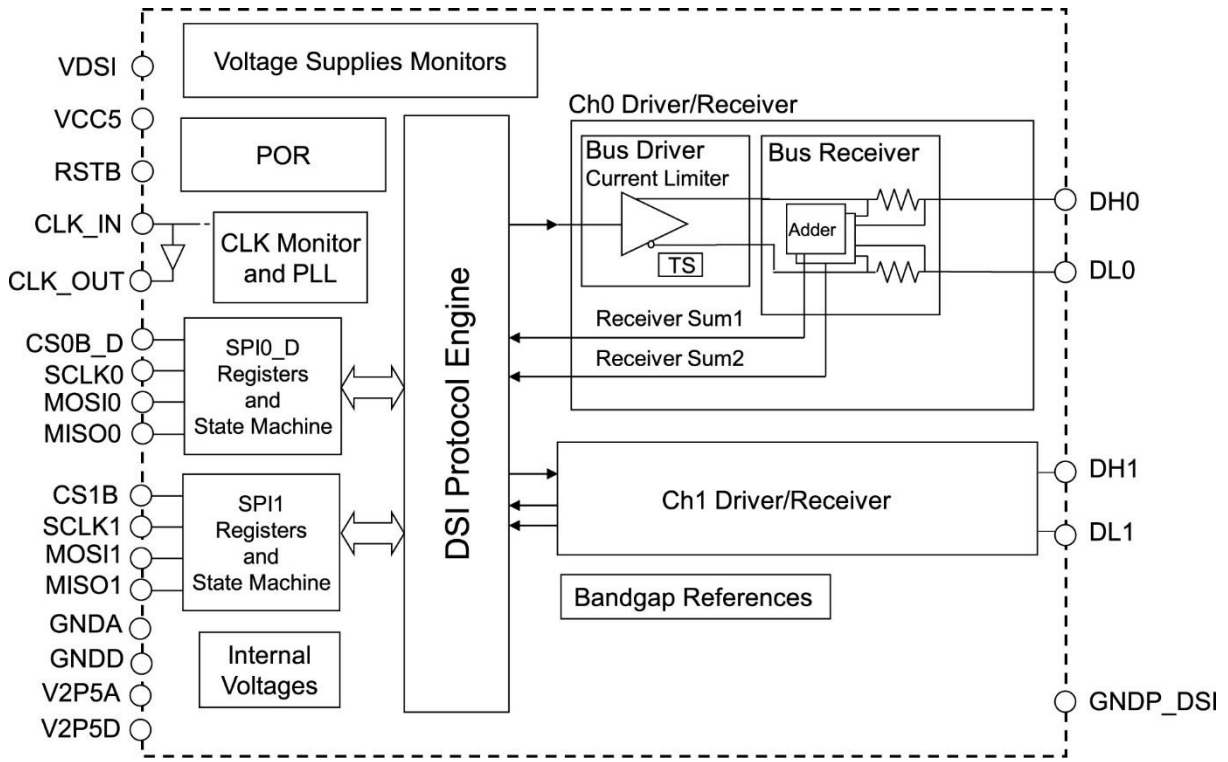


图 2. 33SA0528 简化内部功能框图

3 引脚连接

3.1 引脚配置图

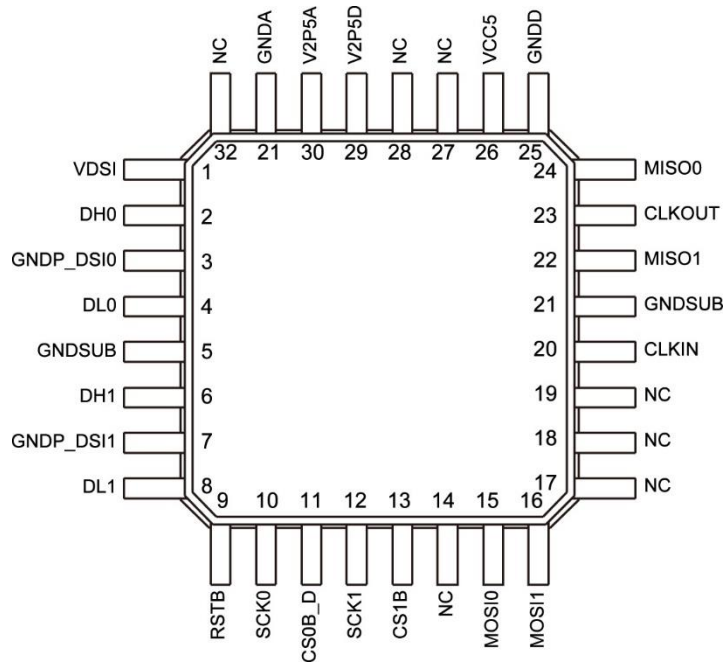


图 3. 33SA0528 32 引脚 LQFP 封装引脚配置图

3.2 引脚定义

每个引脚的功能说明参见引脚功能说明一节（从第 9 页开始）。

表 2. 33SA0528 引脚定义

引脚编号	引脚名称	引脚功能	定义
1	VDSI	电源	此电源输入用于提供总线的正电平输出
2	DH0	输出驱动器	总线 0 高边
3	GND_DSI0	接地	总线电源回流
4	DL0	输出驱动器	总线 0 低边
5	GNDSUB	接地	该引脚必须在应用中接地。
6	DH1	输出驱动器	总线 1 高边
7	GND_DSI1	接地	总线电源回流
8	DL1	输出驱动器	总线 1 低边
9	RSTB	复位	此引脚为低电平会使所有寄存器返回到已知的初始状态。
10	SCK0	输入	DSI_SPI0 的输入输出时钟数据。MISO0 数据在 SCLK0 负跳变时发生变化。在 SCLK0 的正边沿对 MISO0 进行采样
11	CS0B_D	输入	当该信号为高电平时，DSI_SPI0 上的 SPI 信号将被忽略。将该引脚置位低电平将启动 DSI_SPI0 传输。当该信号返回高电平时，表示 DSI_SPI0 传输已完成
12	SCK1	输入	DSI_SPI1 的输入输出时钟数据。MISO1 数据在 SCLK1 负跳变时发生变化。在 SCLK1 的正边沿对 MISO1 进行采样

表 2. 33SA0528 引脚定义 (续)

引脚编号	引脚名称	引脚功能	定义
13	CS1B	输入	当该信号为高电平时, DSI_SPI1 上的 SPI 信号将被忽略。将该引脚置位低电平将启动 DSI_SPI1 传输。当该信号返回高电平时, 表示 DSI_SPI1 传输已完成
14	N.C	—	该引脚未在内部连接, 在应用中必须保持不连接或接地
15	MOSI0	输入	输入 DSI_SPI0 的 SPI 数据。在 SCLK0 的正边沿对该数据输入进行采样
16	MOSI1	输入	输入 DSI_SPI1 的 SPI 数据。在 SCLK1 的正边沿对该数据输入进行采样
17	N.C	—	该引脚未在内部连接, 在应用中必须保持不连接或接地
18	N.C	—	该引脚未在内部连接, 在应用中必须保持不连接或接地
19	N.C	—	该引脚未在内部连接, 在应用中必须保持不连接或接地
20	CLK_IN	输入	4.0 MHz 时钟输入
21	GNDSUB	接地	该引脚必须在应用中接地
22	MISO1	输出	由该器件向 MCU 发送 DSI_SPI1 数据。该数据输出在 SCLK1 的负边沿发生变化。当 CS1B_D 为高电平时, 该引脚为高电平
23	CLK_OUT	输出	输出从 CLK_IN 输入的缓冲时钟信号
24	MISO0	输出	由该器件向 MCU 发送 DSI_SPI0 数据。该数据输出在 SCLK0 的负边沿发生变化。当 CS0B_D 为高电平时, 该引脚设置为高阻态
25	GNDD	接地	数字电路的接地。IDDQ 接地该引脚应连接到 MCU 地
26	VCC5	电源	经过调节的 5.0 V 输入
27	N.C	—	该引脚未在内部连接, 在应用中必须保持不连接或接地
28	N.C	—	该引脚未在内部连接, 在应用中必须保持不连接或接地
29	V2P5D	输出	该引脚与地之间应连接一个 0.1 μ F 电容
30	V2P5A	输出	该引脚与地之间应连接一个 0.1 μ F 电容
31	GNDA	接地	模拟电路的接地。该引脚未在内部连接至芯片上的其他接地, 应将其连接至板上的静态接地
32	N.C	—	该引脚未在内部连接, 在应用中必须保持不连接或接地

4 一般产品特性

4.1 最大额定值

表 3. 最大额定值

所有电压都是相对于地而言，除非另有说明。超过这些额定值可能会导致设备故障或永久损坏。

符号	说明 (额定值)	最小值	最大值	单位	注
电气额定值					
V_{DSI}	DSI 总线电源电压 • 稳态	-0.3	10	V	
V_{CC5}	V_{CC} 逻辑电源电压	-0.3	7.0	V	
V_{2P5A}	调节输出电压	-0.3	3.0	V	
V_{2P5D}	调节输出电压	-0.3	3.0	V	
V_{LOGIC}	逻辑输入/输出引脚上的电压	-0.3	$V_{CC5} + 3.0$	V	
I_{LOGIC}	逻辑输入/输出引脚上的电流	—	20	mA	
V_{BUS}	DSI 总线引脚上的电压	-0.3	20	V	
I_{BUS}	DSI 总线引脚上的电流	—	200	mA	
V_{ESD}	ESD 电压				
	• 人体模型(HBM)	—	2000	V	(2)
	• 机器模型(MM)	—	150		
	• 充电设备模型(CDM)	—	500		

注

- 按照人体模型(HBM) ($C_{ZAP} = 100 \text{ pF}$, $R_{ZAP} = 1500 \Omega$)、机器模型(MM) ($C_{ZAP} = 200 \text{ pF}$, $R_{ZAP} = 0 \Omega$) 和充电模型的测试要求执行 ESD 测试。

4.2 热学特性

表 4. 热性能额定值

所有电压都是相对于地而言，除非另有说明。超过这些额定值可能会导致设备故障或永久损坏。

符号	说明 (额定值)	最小值	最大值	单位	注
T_A T_J	工作温度				
	• 环境	-40	105	°C	
	• 结温	-40	150		
T_{STG}	存储温度	-55	150	°C	
T_{SD}	热关断 (总线驱动器)	155	195	°C	

4.3 工作条件

本节介绍设备的工作条件。这些工作条件适用于以下所有数据，除非另有说明。

表 5. 工作条件

所有电压都是相对于地而言，除非另有说明。超过这些额定值可能会导致设备故障或永久损坏。

符号	额定值	最小值	最大值	单位	注
V_{DSI}	保证全部特性	9.0	9.6	V	
V_{DSI}	某些特性超出规格范围，但 33SA0528 可与总线从机通信	8.8	9.0	V	
V_{DSI}	某些特性超出规格范围，但 V_{DSI} 监控器处于激活状态，所以 RNE 位永远不会置位	8.2	8.8	V	
V_{CC5}	VCC5 功能工作电压	4.8	5.25	V	

4.4 电源电流

本节介绍设备的耗电量特性，以及测量条件。

表 6. 电源电流

所有电压都是相对于地而言，除非另有说明。超过这些额定值可能会导致设备故障或永久损坏。表中的典型值表示 $T_A = 25\text{ }^\circ\text{C}$ 时的近似参数平均值。

符号	额定值	最小值	典型值	最大值	单位	注
I_{VDSI}	DSI 总线上的电流					
	• 9.6 V (禁用)	8.0	11	13	mA	(3)
	• 9.6 V (启用 1.0 mA/通道)	18	24	30		
• 9.6 V (启用 40 mA/通道)	96	108	114			
I_{VCC}	VCC5 电源电流	—	—	2.0	mA	

注

- I_{OUT} 为连接至两个 DSI 接口的所有传感器的总电流。例如：如果每个 DSI 通道的输出 (DHx 至 DLx) 电流均为 40 mA，则 $I_{OUT} = 2 \times 40\text{ mA} = 80\text{ mA}$ 。VDSI 至 GND 的最大内部电流为 “28 mA + (80 mA/14) = 34 mA”。VDSI 的最大总输出电流 (包括传感器电流) 为 “34 mA + 80 mA = 114 mA”。如果 DSI 通道 0 使能，并输出 (DHx 至 DLx) 40 mA 电流，则其他 DSI 通道(ch1)禁用。VDSI 至 GND 的最大内部电流为 “19 mA + (40 mA/14) = 22 mA”。VDSI 的最大总输出电流 (包括传感器电流) 为 “22 mA + 40 mA = 62 mA”。

5 通用 IC 功能说明

5.1 功能框图

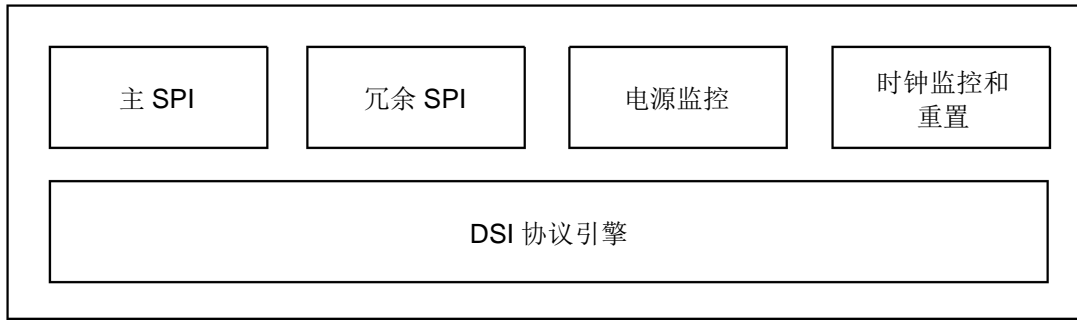


图 4. 33SA0528 功能框图

5.2 特性

- 10 MHz 和 32 位数据帧的主 SPI 用于访问所有主寄存器
- 出于安全考虑，同样格式的冗余 SPI 用于访问冗余寄存器和从机数据
- DSI 协议引擎提供两个独立通道，用于通信和解码（多达 8 个传感器）
- 电源监控器可检测所有四个电源引脚（VDSI、VCC5、V2P5A、V2P5D）上的欠压事件，并发出通知
- 内部 PLL 模块通过 4.0 MHz 输入时钟生成 10 MHz 稳定频率
- 内部时钟发生器（无谐振器）为时钟频率看门狗模块提供 4.0 MHz 内部参考时钟
- 如果检测到时钟或 PLL 频率存在任何异常，时钟监控器将设置适当的标志

5.3 功能说明

33SA0528 是 DSI 主机，用作 MCU 和连接至系统总线的 DSI 从机之间的接口。它有两个可用的 DSI 通道，每个通道可连接最多四个从机，总共支持八个从机。MCU 可通过两个独立的 SPI 访问 33SA0528 中的寄存器，第一个 SPI 用于配置目的，并与 DSI 从机交互。第二个 SPI 提供完全冗余的从机响应，专为安全应用而设计。与 DSI SBC 组合使用时，33SA0528 还可用作 DSI 辅助芯片，根据其可解码的 DSI 从机的最大数量扩展最后一个芯片的容量。

5.4 通信

5.4.1 SPI

两个 SPI 通道采用相同的速度和格式，因此只需一个 MCU 配置方案即可与 33SA0528 通信。该接口的最大频率为 10 MHz，由内部 PLL 提供，通过 4.0 MHz 时钟输入生成。每个命令都采用 32 位格式，其中第 5 个字节为可选。SPI 为命令全双工，这意味着 33SA0528 会在其要求读取寄存器的相同 SPI 帧中做出响应，也就是说设备只需一个 SPI 命令即可写入或读取任何寄存器。

5.4.2 DSI

33SA0528 为 DSI 差分总线提供一个接口，具有两个独立通道。每个通道最多可驱动和解码通过点对点、并行或基于电阻的菊花链总线连接的四个从机。当组成从总线中读取到的差分（高/发送和低/返回）值时，DSI 接收器模块可为每个通道提供双倍冗余，从而使该设备非常适合安全应用。有关 DSI 协议的更多信息，请参见其联盟网站：<http://www.dsiconsortium.org>。

6 功能模块说明

6.1 SPI

6.1.1 功能框图

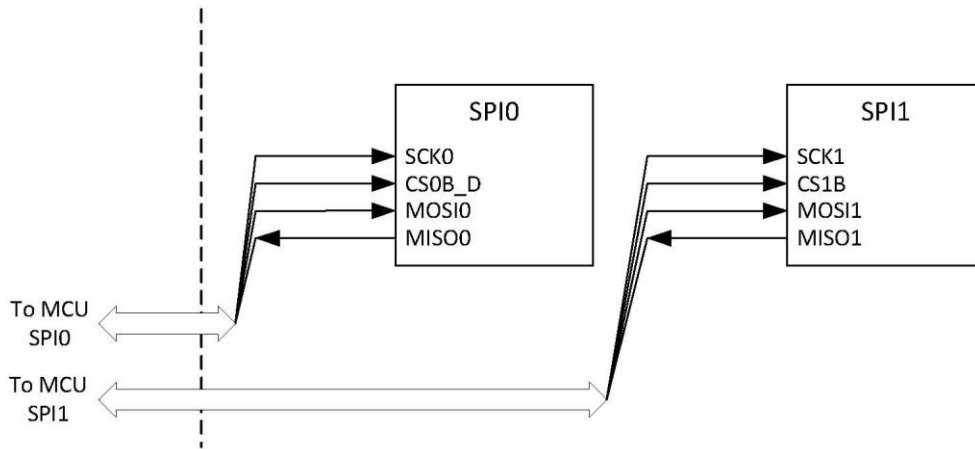


图 5. SPI 模块引脚和功能框图

6.1.2 时序和配置

两个 SPI 模块的时序和命令格式相同。

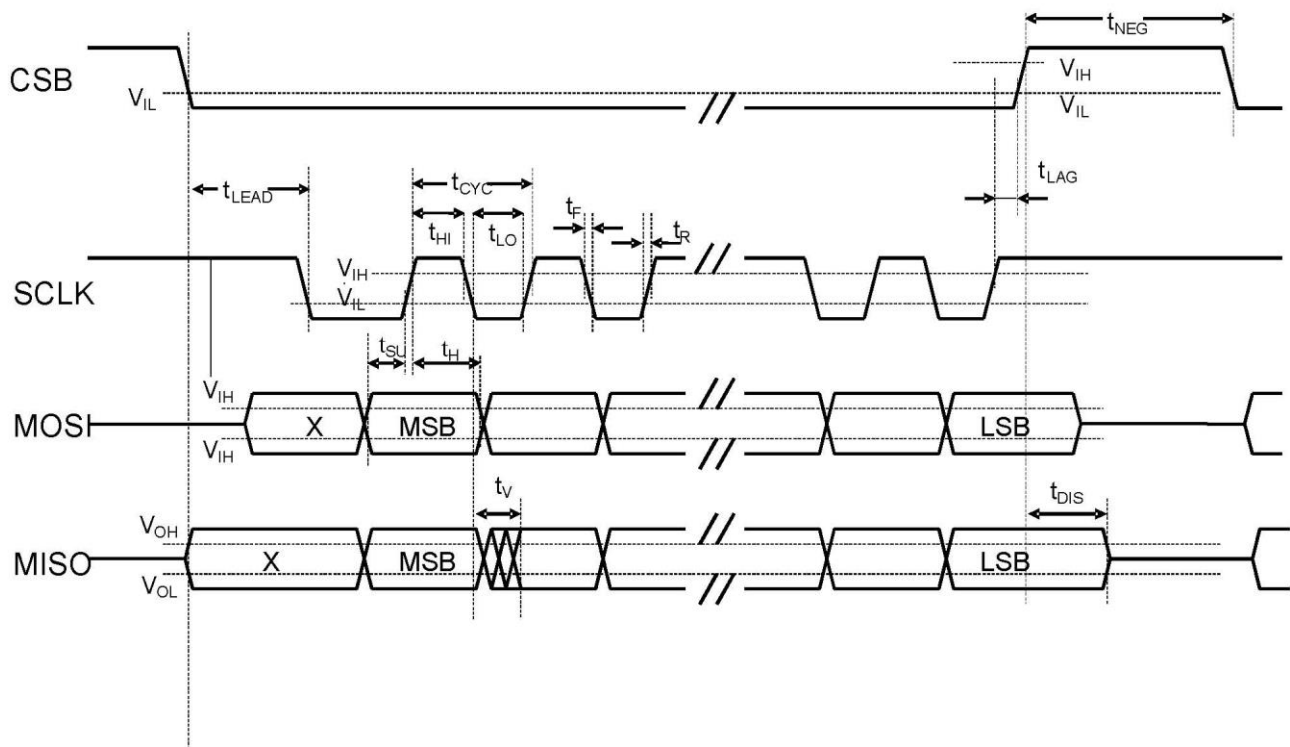


图 6. SPI 模块时序

表 7. SPI 模块时序

符号	参数	最小值	典型值	最大值	单位	注
t_{CYC}	SPI 时钟周期时间	99	—	—	ns	
t_{HI}	SPI 时钟高电平时间	40	—	—	ns	
t_{LO}	SPI 时钟低电平时间	40	—	—	ns	
t_{LEAD}	SPI 芯片选择前置时间	50	—	—	ns	
t_{LAG}	SPI 芯片选择迟滞时间	50	—	—	ns	
t_{SU}	数据建立时间 • MOSI 在 SCK 上升沿后有效	10	—	—	ns	
t_H	数据保持时间 • MOSI 在 SCK 上升沿后有效	10	—	—	ns	
t_V	数据有效时间 • SCK 下降沿至 MISO 有效, C = 50 pF	—	—	25	ns	
t_{DIS}	输出禁用时间 • CSB 上升至 MISO 高阻抗	—	—	50	ns	
t_R	上升时间 (30% V_{CC} 至 70% V_{CC}) • SCK, MOSI	—	—	10	ns	
t_F	下降时间 (70% V_{CC} 至 30% V_{CC}) • SCK, MOSI	—	—	10	ns	
t_{NEG}	芯片选择取反定时器 (读取/写入)	600	—	—	ns	

6.1.3 帧格式

SPI 模块传输以命令和地址字节开始，并且后面可跟着三个或四个字节的的数据。SPI 传输开始由置位低电平的 CSB 信号表示。第一个字节的第一个发送位（位 7）表示读取（位=“0”）或写入（位=“1”）操作。第一个字节的最后七位（位 6 至 0）表示所需寄存器的地址。4 字节访问和 5 字节访问对所有寄存器地址均有效。在 SPI 传输期间，33SA0528 会检查 SPI 的成帧错误。成帧错误定义为接收到的（非 32 或 40）任意数量时钟。如果出现这种情况，SPI 主机发出的所有位都会被丢弃，且不会更新任何寄存器。

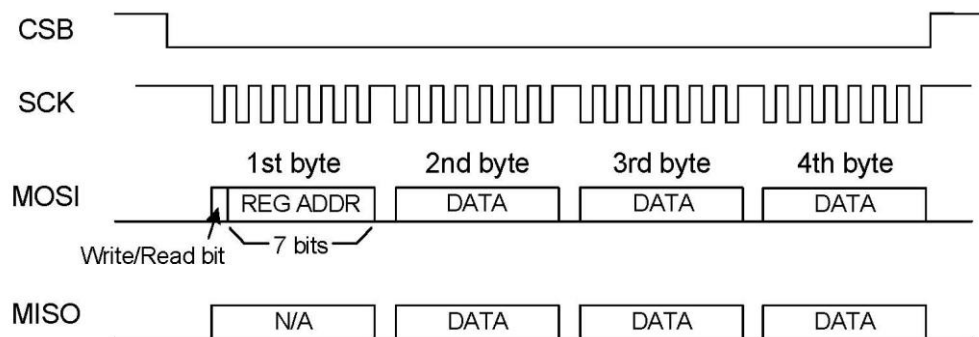


图 7. SPI 模块帧格式—4 字节访问

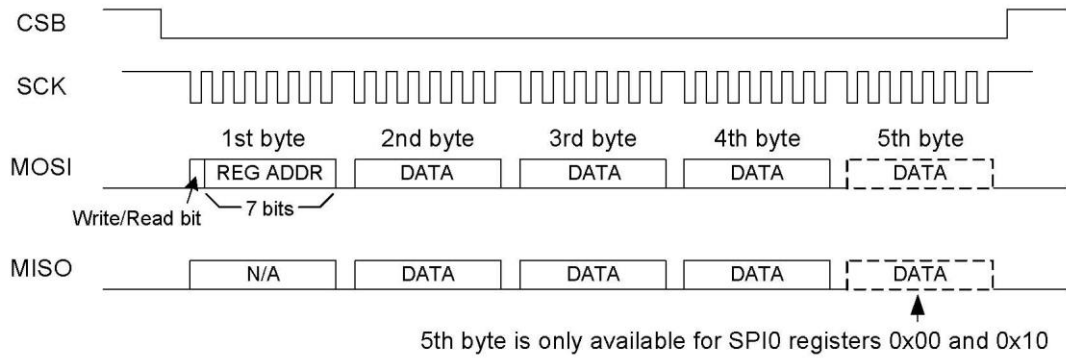


图 8. SPI 模块帧格式—5 字节访问

6.1.4 寄存器映射

表 8. SPI0 寄存器映射

地址	名称	类型	第 2 个字节	第 3 个字节	第 4 个字节	第 5 个字节 (可选)
0x00	CRM Tx/Rx 数据缓冲区 D0	R/W	D0DATA2	D0DATA1	D0DATA0	D0RES_STAT
0x01	CRM Tx/Rx 数据缓冲区 D0	R	D0DATA1	D0DATA0	D0RES_STAT	—
0x02	PDCM 数据缓冲区 D0R0	R	D0R0DATA2	D0R0DATA1	D0R0DATA0	—
0x04	PDCM 数据缓冲区 D0R1	R	D0R1DATA2	D0R1DATA1	D0R1DATA0	—
0x06	PDCM 数据缓冲区 D0R2	R	D0R2DATA2	D0R2DATA1	D0R2DATA0	—
0x08	PDCM 数据缓冲区 D0R3	R	D0R3DATA2	D0R3DATA1	D0R3DATA0	—
0x0A	PDCM 控制 D0	R/W	D0PDCM_CTRL	D0PDCM_DLY	不适用	—
0x0B	通道控制 D0	R/W	D0CTRL	D0DPC	D0STAT	—
0x0C	PDCM 配置 D0	R/W	D0CHIP_TIME	D0SID_R0R1	D0SID_R2R3	—
0x0E	通道清除 D0	R/W	D0CLR	不适用	不适用	—
0x10	CRM Tx/Rx 数据缓冲区 D1	R/W	D1DATA2	D1DATA1	D1DATA0	D1RES_STAT
0x11	CRM Tx/Rx 数据缓冲区 D1	R	D1DATA1	D1DATA0	D1RES_STAT	—
0x12	PDCM 数据缓冲区 D1R0	R	D1R0DATA2	D1R0DATA1	D1R0DATA0	—
0x14	PDCM 数据缓冲区 D1R1	R	D1R1DATA2	D1R1DATA1	D1R1DATA0	—
0x16	PDCM 数据缓冲区 D1R2	R	D1R2DATA2	D1R2DATA1	D1R2DATA0	—
0x18	PDCM 数据缓冲区 D1R3	R	D1R3DATA2	D1R3DATA1	D1R3DATA0	—
0x1A	PDCM 控制 D1	R/W	D1PDCM_CTRL	D1PDCM_DLY	不适用	—
0x1B	通道控制 D1	R/W	D1CTRL	D1DPC	D1STAT	—
0x1C	PDCM 配置 D1	R/W	D1CHIP_TIME	D1SID_R0R1	D1SID_R2R3	—
0x1E	通道清除 D1	R/W	D1CLR	不适用	不适用	—
0x40	NCKPTN	R	0xAA	0xAA	0xAA	—
0x41	CHKPTN	R	0x55	0x55	0x55	—
0x42	MASKID	R	MASKID	—	—	—

注

4. Dn 寄存器表示 DSI 通道 n，所以 D0 对应通道 0，D1 对应通道 1。
5. Rm 寄存器表示地址为 m 的 DSI 从机，所以 R0 对应地址为 0 的从机，以此类推。
6. 对应不同 DSI 通道和地址的寄存器具有相同的格式和说明。

表 9. SPI1 寄存器映射

地址	名称	类型	第 2 个字节	第 3 个字节	第 4 个字节	第 5 个字节 (可选)
0x02	PDCM 数据缓冲区 D0R0	R	D0R0DATA2	D0R0DATA1	D0R0DATA0	-
0x04	PDCM 数据缓冲区 D0R1	R	D0R1DATA2	D0R1DATA1	D0R1DATA0	-
0x06	PDCM 数据缓冲区 D0R2	R	D0R2DATA2	D0R2DATA1	D0R2DATA0	-
0x08	PDCM 数据缓冲区 D0R3	R	D0R3DATA2	D0R3DATA1	D0R3DATA0	-
0x12	PDCM 数据缓冲区 D1R0	R	D1R0DATA2	D1R0DATA1	D1R0DATA0	-
0x14	PDCM 数据缓冲区 D1R1	R	D1R1DATA2	D1R1DATA1	D1R1DATA0	-
0x16	PDCM 数据缓冲区 D1R2	R	D1R2DATA2	D1R2DATA1	D1R2DATA0	-
0x18	PDCM 数据缓冲区 D1R3	R	D1R3DATA2	D1R3DATA1	D1R3DATA0	-
0x40	NCKPTN	R	0xAA	0xAA	0xAA	-
0x41	CHKPTN	R	0x55	0x55	0x55	-

注

- 这些寄存器的格式和说明与其 SPI0 寄存器相同，因为它们只是用于冗余。

6.1.5 寄存器说明

6.1.5.1 CRM Tx/Rx 数据缓冲区 Dn

表 10. 第 2 个字节—DnDATA2

位	7	6	5	4	3	2	1	0
R								
W	DnDATA[23]	DnDATA[22]	DnDATA[21]	DnDATA[20]	DnDATA[19]	DnDATA[18]	DnDATA[17]	DnDATA[16]
复位	0	0	0	0	0	0	0	0

表 11. 第 3 个字节—DnDATA1

位	7	6	5	4	3	2	1	0
R								
W	DnDATA[15]	DnDATA[14]	DnDATA[13]	DnDATA[12]	DnDATA[11]	DnDATA[10]	DnDATA[9]	DnDATA[8]
复位	0	0	0	0	0	0	0	0

表 12. 第 4 个字节—DnDATA

位	7	6	5	4	3	2	1	0
R								
W	DnDATA[7]	DnDATA[6]	DnDATA[5]	DnDATA[4]	DnDATA[3]	DnDATA[2]	DnDATA[1]	DnDATA[0]
复位	0	0	0	0	0	0	0	0

表 13. 第 5 个字节—DnRES_STAT

位	7	6	5	4	3	2	1	0
R	ER	-	-	UV	TE	RNE	0	1

表 13. 第 5 个字节—DnRES_STAT

位	7	6	5	4	3	2	1	0
W								
复位	0	0	0	0	1	0	0	1

表 14. CRM Tx/Rx 数据缓冲区 Dn 字段说明

字段	说明
DnDATA[23:0]	待发送的 CRM 数据或接收自从机的 CRM 数据 如果 DSI 通道 EN 位置位, 且 33SA0528 不在 PDCM 中, 那么将数据写入寄存器后发送该数据。同时, 通过总线接收到从机的 CRM 数据后立即将该数据写回缓冲区。
ER	错误位 此位对于接收到的数据而言, 表示在双 DSI 接收器之间存在 CRC 错误、未定义符号错误或数据不匹配。
UV	欠压 该位表示 VDSI 在指定时间内降至其最低阈值以下。参见第 30 页的电源监控器。
TE	发送缓冲区为空 该位表示发送缓冲区内无任何数据。
RNE	接收器非空。 该位表示存在接收自从机的数据。

6.1.5.2 PDCM 数据缓冲区 DnRm

表 15. 第 2 个字节—DnRmDATA2

位	7	6	5	4	3	2	1	0
R	ER	-	RNE	UV	DnRmData[19]	DnRmData[18]	DnRmData[17]	DnRmData[16]
W								
复位	0	0	0	0	0	0	0	0

表 16. 第 3 个字节—DnRmDATA1

位	7	6	5	4	3	2	1	0
R	DnRmData[15]	DnRmData[14]	DnRmData[13]	DnRmData[12]	DnRmData[11]	DnRmData[10]	DnRmData[9]	DnRmData[8]
W								
复位	0	0	0	0	0	0	0	0

表 17. 第 4 个字节—DnRmDATA0

位	7	6	5	4	3	2	1	0
R	DnRmData[7]	DnRmData[6]	DnRmData[5]	DnRmData[4]	DnRmData[3]	DnRmData[2]	DnRmData[1]	DnRmData[0]
W								
复位	0	0	0	0	0	0	0	0

表 18. PDCM 数据缓冲区 DnRm 字段说明

字段	说明
DnRmDATA[19:0]	接收自从机的 PDCM 数据 DnRmDATA[19:16]表示从机的源 ID 字段，用作 CRC 计算的种子。
ER	错误位 此位对于接收到的数据而言，表示在双 DSI 接收器之间存在 CRC 错误、未定义符号错误或数据不匹配。
UV	欠压 该位表示 VDSI 在指定时间内降至其最低阈值以下。参见第 30 页的电源监控器。
RNE	接收器非空。 该位表示存在接收自从机的数据。

6.1.5.3 PDCM 控制 Dn

表 19. 第 2 个字节—DnPDCM_CTRL

位	7	6	5	4	3	2	1	0
R								
W	DnBRC	-	-	-	-	-	DnAUTO	DnPDCM_EN
复位	0	0	0	0	0	0	0	0

表 20. 第 3 个字节—DnPDCM_DLY

位	7	6	5	4	3	2	1	0
R								
W	DELAY[7]	DELAY[6]	DELAY[5]	DELAY[4]	DELAY[3]	DELAY[2]	DELAY[1]	DELAY[0]
复位	0	0	0	0	0	0	0	0

表 21. PDCM 控制 Dn 字段说明

字段	说明
DnBRC	广播读取命令 每次置位该位时，都会通过 DSI 总线发送手动 BRC。仅在 DnPDCM_EN 为 1 且 DnAUTO 为 0 时有效。
DnAUTO	自动 BRC 置位该位时，会通过 DSI 总线每 500 μs 自动发送 BRC。当 DnPDCM_EN 为 0 时，忽略对该位的写访问。
DnPDCM_EN	定期数据采集模式使能 一旦该位置位，33SA0528 就会进入 PDCM，防止进行任何 CRM 通信或任何配置更改。通过对通道清除 Dn 寄存器进行写操作，可清除通道，从而将该位清零。
DELAY[7:0]	广播读取命令延迟 该位设置从 BRC 位置位到通过 DSI 总线传输数据的延迟，可用于手动和自动 BRC。其计算公式为：延迟时间=DELAY [7:0] × 5clockcounts，在 10 MHz 频率下，其范围在 0 至 127.5 μs 之间，以 0.5 μs 为步进。

6.1.5.4 通道控制 Dn

表 22. 第 2 个字节—DnCTRL

位	7	6	5	4	3	2	1	0
R	0	0	0	0	UVDSI_ON	EN	BCK[1]	BCK[0]
W								
复位	0	0	0	0	0	0	0	0

表 23. 第 3 个字节—DnDPC

位	7	6	5	4	3	2	1	0
R	0	0	0	0	UVDSI_ON	EN	BCK[1]	BCK[0]
W								
复位	0	0	0	0	0	0	0	0

表 24. 第 4 个字节—DnSTAT

位	7	6	5	4	3	2	1	0
R	CFM3	CFM2	GNDA_OP	GNDD_OP	OCS	TS	0	UV
W	w0c	w0c	w0c	w0c	w0c	w0c		w0c
复位	0	0	0	0	0	0	0	0

表 25. 通道控制 Dn 字段说明

字段	说明
UVDSI_ON	VDSI 欠压监控器测试功能 通过强制 UVDSI 输入接地，该位可对 UVDSI 监控器强制进行欠压检测，用于测试目的。 0：正常操作。UVDSI 模块可监测 VDSI 引脚电压。 1：测试操作。UVDSI 被强制接地，所以状态寄存器中的 UV 位应置位。
EN	DSI 通道使能 0：如果符合条件，禁用 DSI 通道。 1：如果符合条件，使能 DSI 通道。
BCK[1:0]	缓冲区检查模式 如果这两个位同时置位（在同一 SPI 传输中），33SA0528 就会进入 BCM 中。参见 DSI 协议引擎模块。请注意，BCK[1:0]位的优先级高于 EN 和 DPC[2:0]，也就是说如果同时写入三个字段，只考虑 BCK[1:0]。
DPC[2:0]	发现脉冲计数 如果符合条件，将这些位置位会通过 DSI 总线发送设定数量的发现脉冲。相关条件要求请参见第 20 页的 DSI 协议引擎。
CFM3 和 CFM2	时钟故障监控标志 CFM3=0 和 CFM2=0：正常情况。每个位可通过对其写入 0 清零。 CFM3=1：负责生成内部 10 MHz 频率的内部 PLL 已解锁。 CFM2=1：时钟看门狗指示 CLKIN 超出了其 4.0 MHz 可接受范围。
GNDA_OP	GNDA 开路引脚 0：正常情况。该位可通过对其写入 0 清零。 1：GNDA 引脚开路。
GNDD_OP	GNDD 开路引脚 0：正常情况。该位可通过对其写入 0 清零。 1：GNDD 引脚开路。
OCS	过流关断 0：正常情况。该位可通过对其写入 0 清零。 1：DSI 总线限流器已运行了一段时间。参见第 30 页的电源监控器。

表 25. 通道控制 Dn 字段说明 (续)

字段	说明
TS	热关断 0: 正常情况。该位可通过对其写入 0 清零。 1: 已达到 DSI 总线热限值。参见第 30 页的电源监控器。
UV	欠压 0: 正常情况。该位可通过对其写入 0 清零。 1: VDSI 在指定时间内降至其最低阈值以下。参见第 30 页的电源监控器。

6.1.5.5 PDCM 配置 Dn

表 26. 第 2 个字节—DnCHIP_TIME

位	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	CHIPTIME[1]	CHIPTIME[0]
W								
复位	0	0	0	0	0	0	0	0

表 27. 第 3 个字节—DnSID_R0R1

位	7	6	5	4	3	2	1	0
R	SID_R0[3]	SID_R0[2]	SID_R0[1]	SID_R0[0]	SID_R1[3]	SID_R1[2]	SID_R1[1]	SID_R1[0]
W								
复位	0	0	0	0	0	0	0	0

表 28. 第 4 个字节—DnSID_R2R3

位	7	6	5	4	3	2	1	0
R	SID_R2[3]	SID_R2[2]	SID_R2[1]	SID_R2[0]	SID_R3[3]	SID_R3[2]	SID_R3[1]	SID_R3[0]
W								
复位	0	0	0	0	0	0	0	0

表 29. PDCM 配置 Dn 字段说明

字段	说明
CHIPTIME[3:0]	DSI 响应芯片时间 这些位设置在解码 DSI 总线中从机的电流响应时使用芯片的持续时间。 00: 3.0 μ s 01: 3.5 μ s 10: 4.0 μ s 11: 4.5 μ s
SID_Rm[3:0]	源 ID 这些位设置地址为 m 的 DSI 从机的预期源 ID。这些值可用作 CRC 种子。

6.1.5.6 通道清除 Dn

表 30. 第 2 个字节—DnCLR

位	7	6	5	4	3	2	1	0
R	DnCLR[7]	DnCLR[6]	DnCLR[5]	DnCLR[4]	DnCLR[3]	DnCLR[2]	DnCLR[1]	DnCLR[0]
W								
复位	0	0	0	0	0	0	0	0

表 31. 通道清除 Dn 字段说明

字段	说明
DnCLR[7:0]	通道清除 对该字节写入 0xFF 时，相应通道 n 的所有寄存器都会重置为其初始值。

6.1.5.7 NCKPTN

表 32. 第 2 个字节—0xAA

位	7	6	5	4	3	2	1	0
R	1	0	1	0	1	0	1	0
W								
复位	1	0	1	0	1	0	1	0

表 33. 第 3 个字节—0xAA

位	7	6	5	4	3	2	1	0
R	1	0	1	0	1	0	1	0
W								
复位	1	0	1	0	1	0	1	0

表 34. 第 4 个字节—0xAA

位	7	6	5	4	3	2	1	0
R	1	0	1	0	1	0	1	0
W								
复位	1	0	1	0	1	0	1	0

表 35. NCKPTN 字段说明

字段	说明
0xAA	反转模式检查 该寄存器及其字节用于检查与设备的通信是否有效。

6.1.5.8 CHKPTN

表 36. 第 2 个字节—0x55

位	7	6	5	4	3	2	1	0
R	0	1	0	1	0	1	0	1
W								
复位	0	1	0	1	0	1	0	1

表 37. 第 3 个字节—0x55

位	7	6	5	4	3	2	1	0
R	0	1	0	1	0	1	0	1
W								
复位	0	1	0	1	0	1	0	1

表 38. 第 4 个字节—0x55

位	7	6	5	4	3	2	1	0
R	0	1	0	1	0	1	0	1
W								
复位	0	1	0	1	0	1	0	1

表 39. CHKPTN 字段说明

字段	说明
0x55	模式检查 该寄存器及其字节用于检查与设备的通信是否有效。

6.1.5.9 MASKID

表 40. 第 2 个字节—MASKID

位	7	6	5	4	3	2	1	0
R	MASKID[7]	MASKID[6]	MASKID[5]	MASKID[4]	MASKID[3]	MASKID[2]	MASKID[1]	MASKID[0]
W								
复位								

表 41. MASKID 字段说明

字段	说明
MASKID[7:0]	掩码 ID 这些位表示芯片的硅版本号

6.1.6 电气特性

表 42. SPI 模块电气特性

表中的典型值表示在标称条件下 $T_A = 25\text{ }^\circ\text{C}$ 时的近似参数平均值，除非另有说明。

符号	特性	最小值	典型值	最大值	单位	注
V_{IH} V_{IL} V_{HYST}	I/O 逻辑电平 (CSB、MOSI、SCK) • 输入高压 • 输入低压 • 输入迟滞	2.0 — 0.1	— — 0.35	— 0.9 0.8	V	
C_I	输入电容 • CSB、MOSI 和 SCK	—	—	10	pF	
V_{OL}	输出低压 • MISO 引脚 = 1.0 mA	0.0	—	0.5	V	
V_{OH}	输出高压 • MISO 引脚 = -1.0 mA	$V_{CC5} - 0.5$	—		V	
I_{MISO}	输出漏电流 • MISO 引脚 = 0 V • MISO 引脚 = V_{CC5}	-10 -10	— —	10 10	μA	
I_{PU}	SCK、CSB 上拉电流 • $V_{OUT} = V_{CC5} - 2.0\text{ V}$	-50	-30	-10	μA	
I_{PD}	MOSI 下拉电流 • $V_{OUT} = 1.0\text{ V}$	5.0	10	13	μA	

6.2 DSI 协议引擎

6.2.1 功能框图

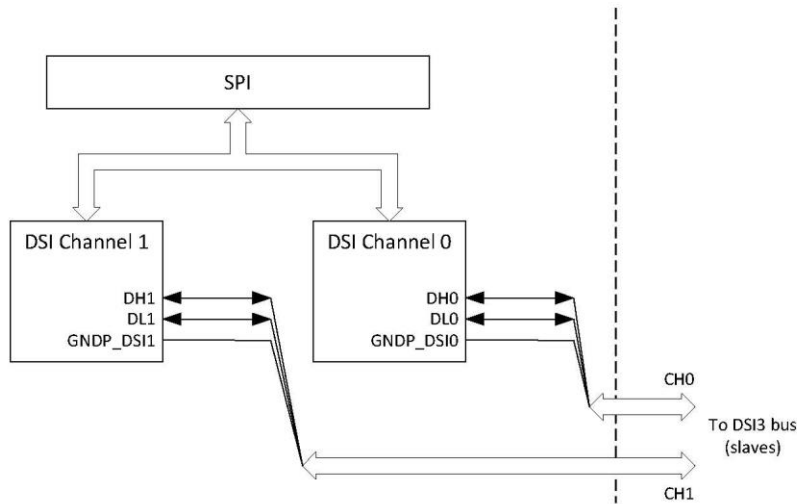


图 9. DSI 模块引脚和功能框图

6.2.2 DSI 实现参数

6.2.2.1 总线驱动器

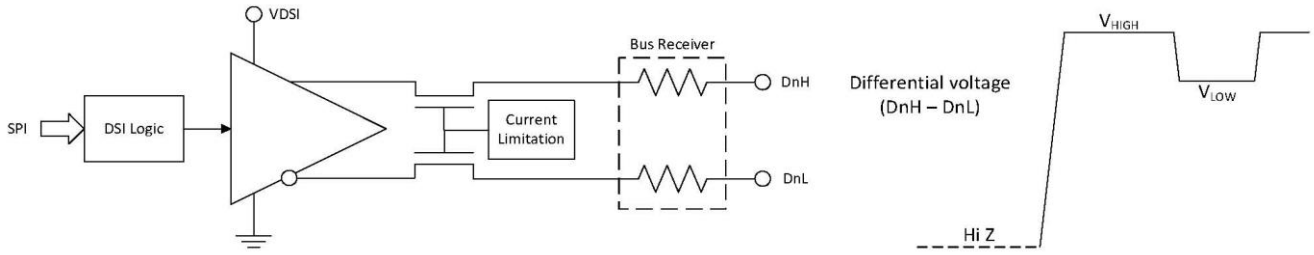


图 10. DSI 总线驱动器功能框图

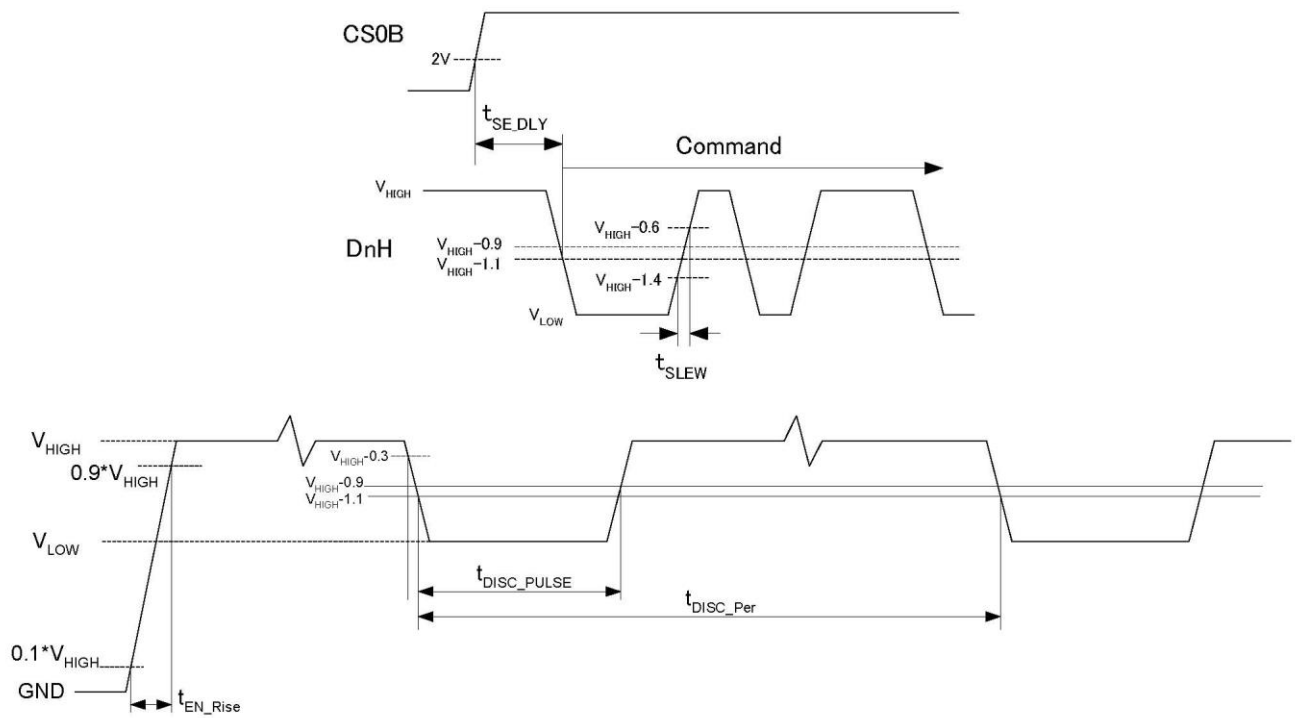


图 11. DSI 总线电压时序

表 43. 总线驱动器特性

表中参数表示 $9.0\text{ V} \leq V_{\text{DSI}} < 9.6\text{ V}$ 、 $4.8\text{ V} < V_{\text{CC5}} < 5.25\text{ V}$ 、 $-40\text{ }^\circ\text{C} \leq T_{\text{A}} \leq 125\text{ }^\circ\text{C}$ 条件下的特性，除非另有说明。表中的典型值表示在标称条件下 $T_{\text{A}} = 25\text{ }^\circ\text{C}$ 时的近似参数平均值，除非另有说明。本表中未提及的所有参数均符合 DSI 协议规范，除非另有说明。

符号	特性	最小值	典型值	最大值	单位	注
V_{HIGH}	DSI 电压电平高 (DnH 开路, DnL 开路)	7.5	—	—	V	
V_{LOW}	DSI 电压电平低 (DnH 开路, DnL 开路)	$V_{\text{HIGH}} - 2.2$	—	$V_{\text{HIGH}} - 1.8$	V	
$V_{\text{HIGH_Drift}}$	DSI 高电压电平漂移	-150	—	150	mV	
	单比特信号期间的峰间共模电压	—	—	100	mV	
R_{HIGH}	高边输出电阻	—	3.0	5.4	W	
R_{LOW}	低边输出电阻	—	3.0	5.4	W	
R_{M}	总输出电阻($R_{\text{HIGH}} + R_{\text{LOW}}$)	—	—	10	W	
D_{RATE}	通信速率	—	125	—	kbps	
$t_{\text{SE_DLY}}$	命令启动延迟 (CS0B 上升沿至命令起始沿) • PDCM (DnPDCM_DLY = 0) • CRM	— —	— —	1.5 5.0	μs	
t_{SLEW}	电压信号斜率	2.0	—	6.0	$\text{V}/\mu\text{s}$	
$t_{\text{EN_Rise}}$	总线使能上升时间	—	—	10	μs	
$t_{\text{DISC_PULSE}}$	自发现脉冲宽度	15	16	17	μs	
$t_{\text{DISC_PER}}$	自发现脉冲周期	120	125	130	μs	

6.2.2.2 总线接收器

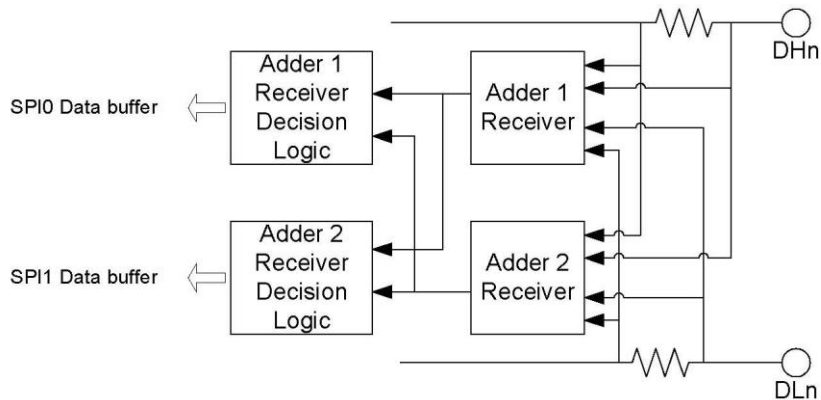


图 12. DSI 总线接收器功能框图

出于安全考虑，总线接收器提供双倍冗余。它由两个接收器和两个独立决策逻辑组成。

- 第一个决策逻辑检查第一个接收器（参照第二个接收器）的数据完整性，并将该数据传送至 SPI0 数据缓冲区。
- 第二个决策逻辑检查第二个接收器（参照第一个接收器）的数据完整性，并将该数据传送至 SPI1 数据缓冲区。

唯一未置位 ER 位的情况就是满足下述三个条件。在任何其他情况下，都会置位 ER 位。

- 接收器 1 CRC 正常
- 接收器 2 CRC 正常
- 接收器 1 XOR（逐位）接收器 2 正常

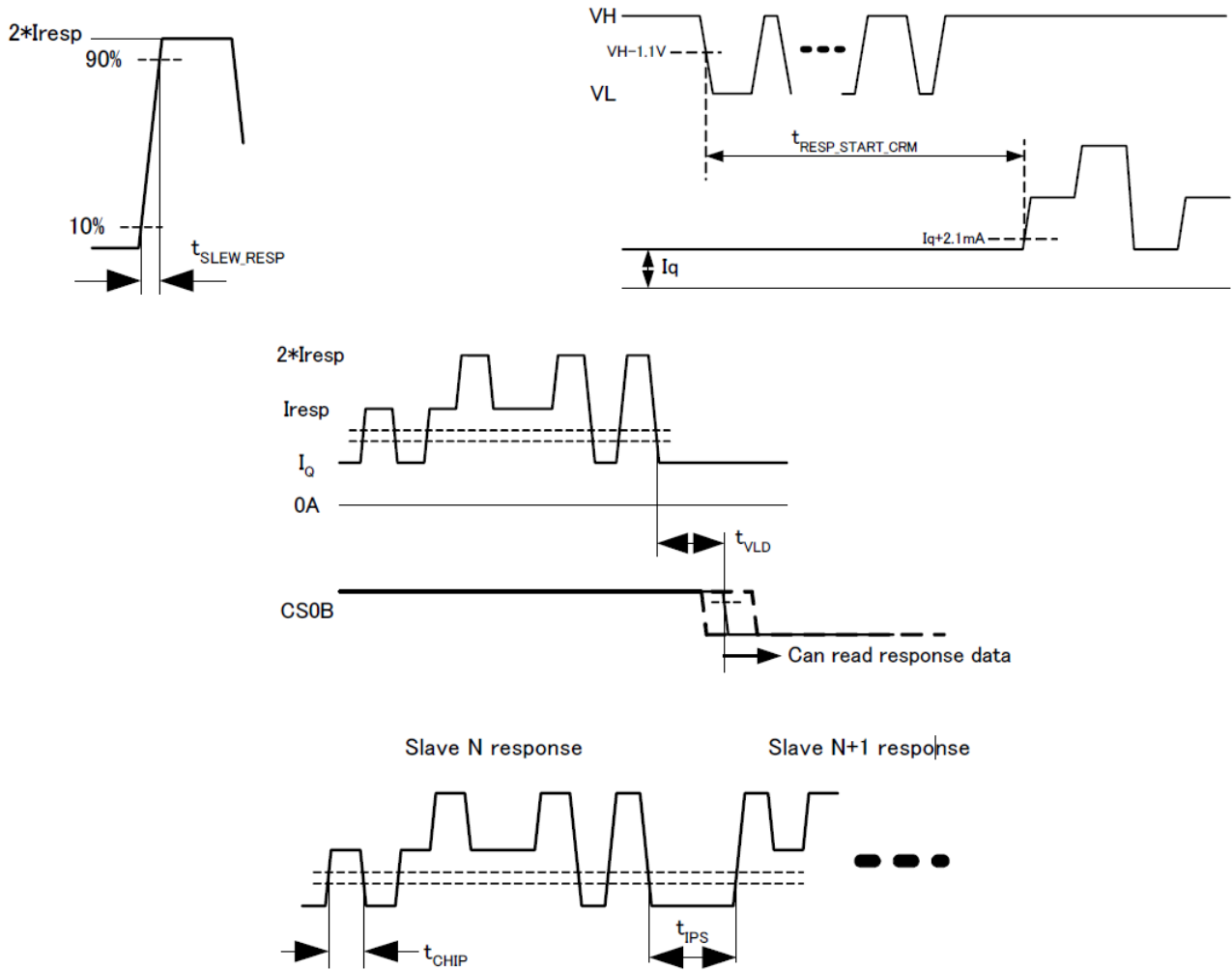


图 13. DSI 总线电流时序

表 44. 总线接收器特性

表中参数表示 $9.0\text{ V} \leq V_{\text{DSI}} < 9.6\text{ V}$ 、 $4.8\text{ V} < V_{\text{CC5}} < 5.25\text{ V}$ 、 $-40\text{ }^\circ\text{C} \leq T_{\text{A}} \leq 125\text{ }^\circ\text{C}$ 条件下的特性，除非另有说明。表中的典型值表示在标称条件下 $T_{\text{A}} = 25\text{ }^\circ\text{C}$ 时的近似参数平均值，除非另有说明。本表中未提及的所有参数均符合 DSI 协议规范，除非另有说明。

符号	特性	最小值	典型值	最大值	单位	注
$I_{\text{Q_TOTAL}}$	总从机静态电流	-	-	40	mA	
$I_{\text{RESP_TH_LOW_DnH}}$	响应电流低阈值（接收器 1）	$I_{\text{Q_TOTAL}} + 5.0$	-	$I_{\text{Q_TOTAL}} + 7.0$	mA	
$I_{\text{RESP_TH_HIGH_DnH}}$	响应电流高阈值（接收器 1）	$I_{\text{Q_TOTAL}} + 15$	-	$I_{\text{Q_TOTAL}} + 20$	mA	
$I_{\text{RESP_TH_LOW_ADDER}}$	响应电流低阈值（接收器 2）	$I_{\text{Q_TOTAL}} + 5.0$	-	$I_{\text{Q_TOTAL}} + 7.0$	mA	
$I_{\text{RESP_TH_HIGH_ADDER}}$	响应电流高阈值（接收器 2）	$I_{\text{Q_TOTAL}} + 15$	-	$I_{\text{Q_TOTAL}} + 20$	mA	
$t_{\text{RESP_START_CRM}}$	命令和响应模式下的响应起始时间	280	295	310	μs	
$t_{\text{SLEW_RESP}}$	响应电流斜率	21	-	45	mA/ μs	
$t_{\text{CHIP_CRM}}$	命令和响应模式下的芯片时间	4.75	5.0	5.25	μs	

表 44. 总线接收器特性 (续)

表中参数表示 $9.0\text{ V} \leq V_{\text{DSI}} < 9.6\text{ V}$ 、 $4.8\text{ V} < V_{\text{CC5}} < 5.25\text{ V}$ 、 $-40\text{ }^\circ\text{C} \leq T_{\text{A}} \leq 125\text{ }^\circ\text{C}$ 条件下的特性，除非另有说明。表中的典型值表示在标称条件下 $T_{\text{A}} = 25\text{ }^\circ\text{C}$ 时的近似参数平均值，除非另有说明。本表中未提及的所有参数均符合 DSI 协议规范，除非另有说明。

符号	特性	最小值	典型值	最大值	单位	注
t_{VLD}	数据有效时间	-	-	1.0	μs	
t_{IPS}	数据包间隔	3.0	-	-	芯片	

6.2.3 模块逻辑和操作

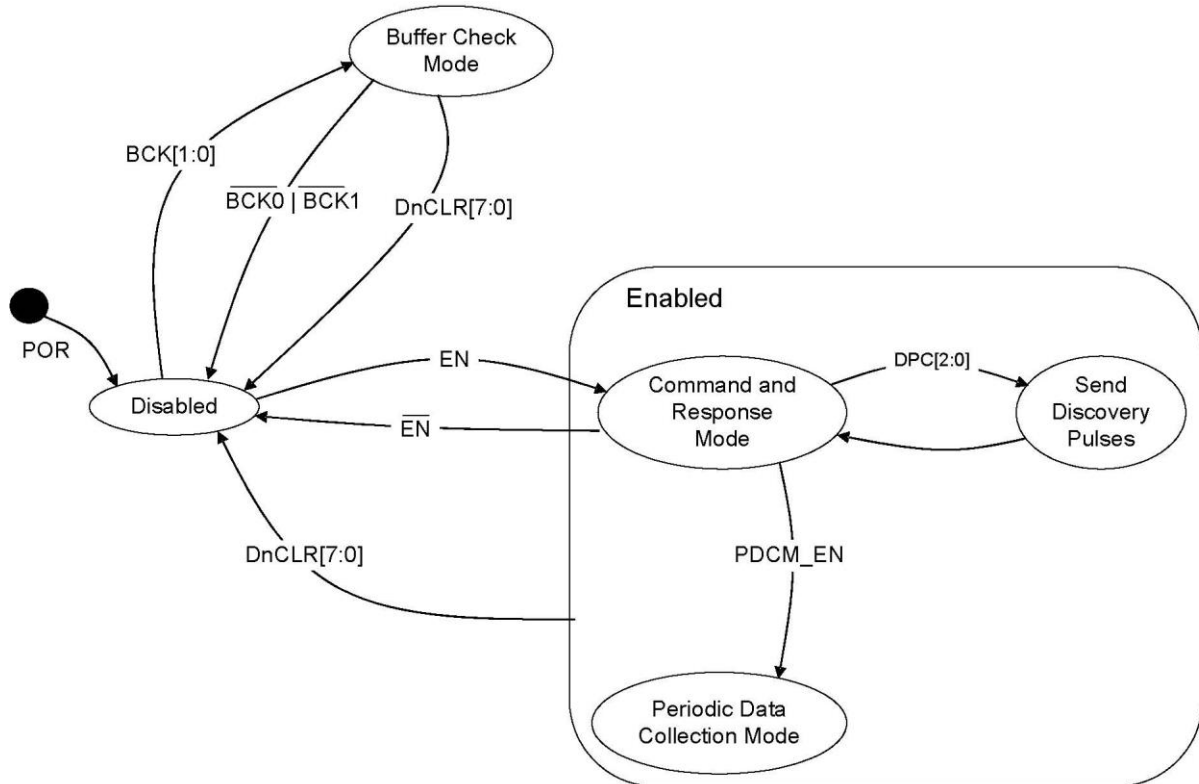


图 14. 通道 n 的 DSI 模块主状态图

在 DSI 协议引擎逻辑中，每个通道有三个状态：禁用、使能和缓冲区检查模式。在禁用状态下，所有的 SPI 数据缓冲区都重置为其初始值，且对 Tx 缓冲区的任何写入访问都会被忽略。使能状态包含两个模式：命令和响应模式以及定期数据采集模式。在命令和响应模式下，MCU 可请求 33SA0528 收发任何数据（Tx/Rx 缓冲区）或 DSI 发现脉冲到总线上的 DSI 从机。在定期数据采集模式下，每次通过 DSI 总线发送广播读取命令后，DSI 主机都会存储并解码每个通道的四个从机响应，如果为自动模式，则每 $500\text{ }\mu\text{s}$ 操作一次，如果为手动模式，则在每次 DnBRC 未置位时操作。

6.2.3.1 命令和响应模式

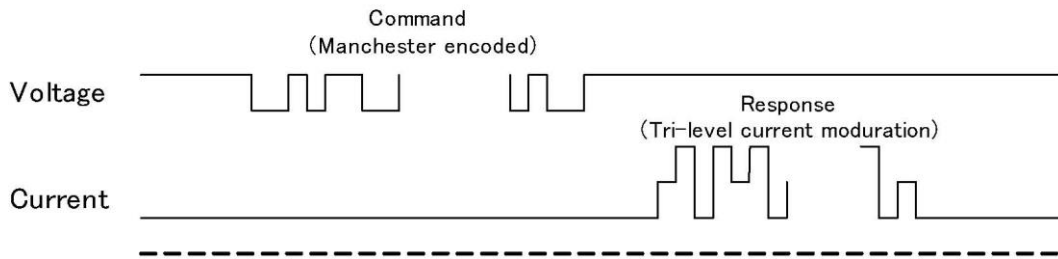


图 15. DSI 命令和响应模式工作原理

在该模式下，由 MCU 通过 SPI0 写入 CRM Tx/Rx 数据缓冲寄存器的所有数据都会通过 DSI 总线以曼切斯特编码电压脉冲形式输出，从而组成一条命令。然后，连接至总线的 DSI 从机收到此命令，并在三电平电流调制后返回其响应（如果适用），具体详情参见 DSI 协议规范。返回的响应由 DSI 模块解码，并存储到相应的 CRM Tx/Rx 数据缓冲寄存器中。

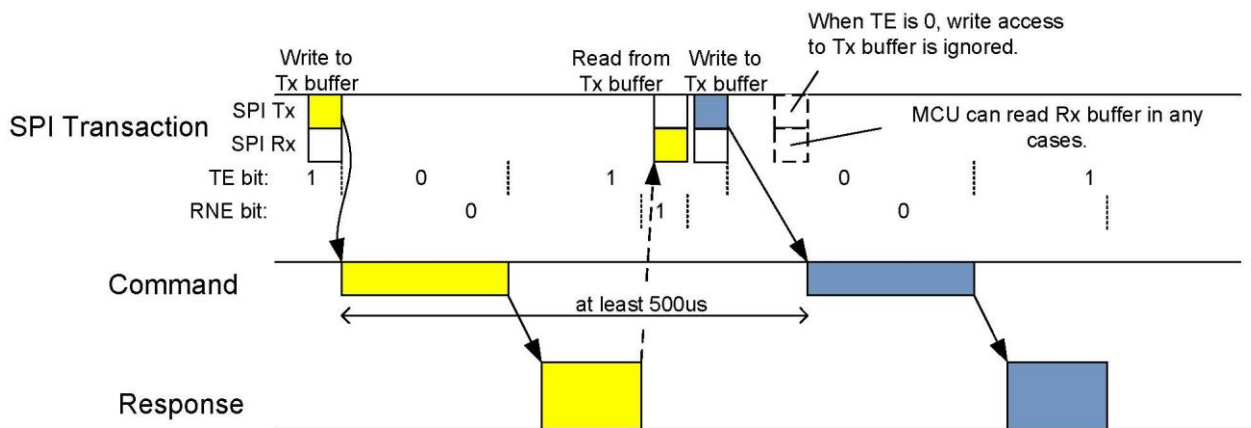


图 16. TE 和 RNE 位上的命令和响应模式操作

在 MCU 通过 SPI0 完成写入数据操作后，立即通过 DSI 总线将 DSI 电压命令传输至 CRM Tx/Rx 数据缓冲寄存器。如果上一条命令开始运行的时间不到 500 μ s，则此命令无效。如果 MCU 在 TE 位置位(TE=1)时将数据写入 CRM Tx 缓冲区，且上一条命令开始运行的时间不到 500 μ s，则会有一条新命令在队列中，并在该时间结束时立即输出该新命令。当 TE 位清零(TE=0)时，MCU 对 CRM Tx 缓冲区的任何写操作都会被忽略。但是，MCU 可随时读取 CRM Rx 数据缓冲区。

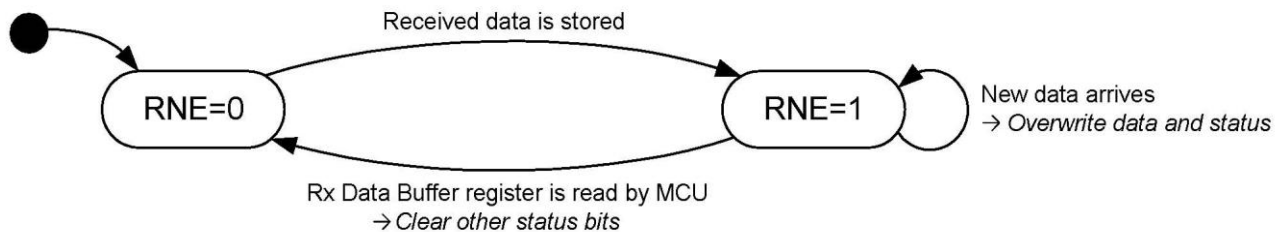


图 17. 命令和响应模式 RNE 位操作

如果接收器逻辑检测到 DSI 从机响应，则 RNE 位置位(RNE=1)，表示缓冲区内存在新数据。当 MCU 读取 Rx 数据缓冲寄存器时，RNE 位清零(RNE=0)。如果检测到其他 DSI 从机响应，且接收器不为空，则使用新数据覆盖 Rx 数据缓冲区，且 RNE 位保持置位(RNE=1)。

要进入命令和响应模式，通道控制寄存器中相应的 EN 位必须置位(EN=1)。如果 BCK[1:0]位和 EN 位在同一 SPI 传输中置位，由于 BCK 位具有更高的优先级，因此会忽略对 EN 位进行的操作。

退出该模式的方式有两种（注意：进入禁用模式后，数据缓冲器将被清零）：

- 清零相应的 EN 位(EN=0)。
- 将 0xFF 写入 SPI0 中通道清除寄存器的 DnCLR 字节。

6.2.3.2 发现脉冲

33SA0528 可按照 DSI 协议规范中的具体要求发送 DSI 发现命令，以便对连接至总线的从机进行自动寻址（发现模式）。为此，设备必须先进入命令和响应模式。

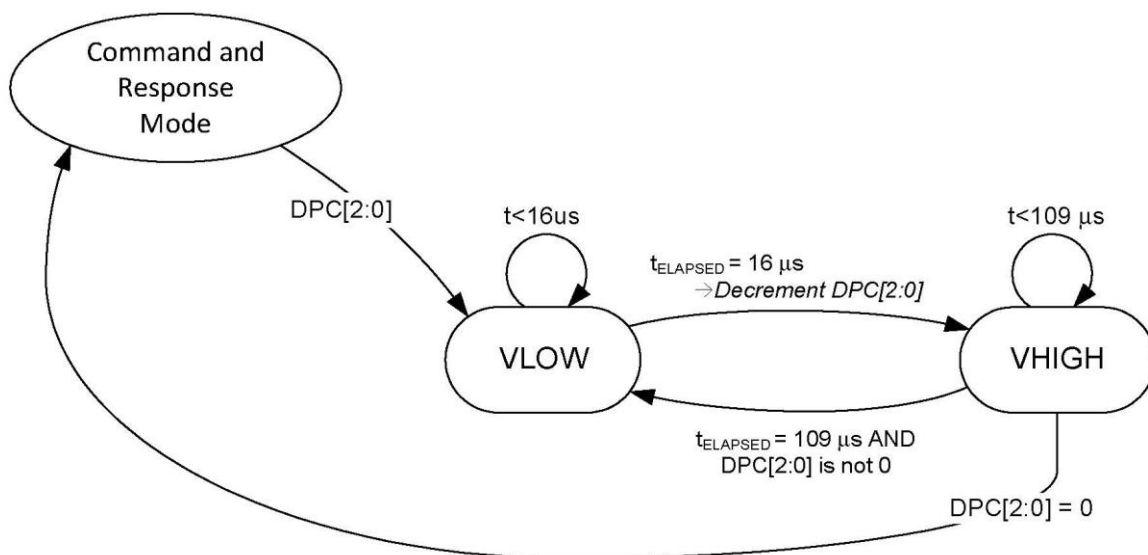


图 18. 发送发现脉冲

将非零值写入相应通道控制寄存器的 DPC[2:0]位时，会通过 DSI 总线发送一系列 V_{LOW} 和 V_{HIGH} 之间的电压脉冲。脉冲数量即为写入 DPC 位的值，具体详情参见 DSI 协议规范，该脉冲数量必须等于或高于待寻址的 DSI 从机数量。所有脉冲传送完毕后，设备返回至命令和响应模式。

6.2.3.3 定期数据采集模式

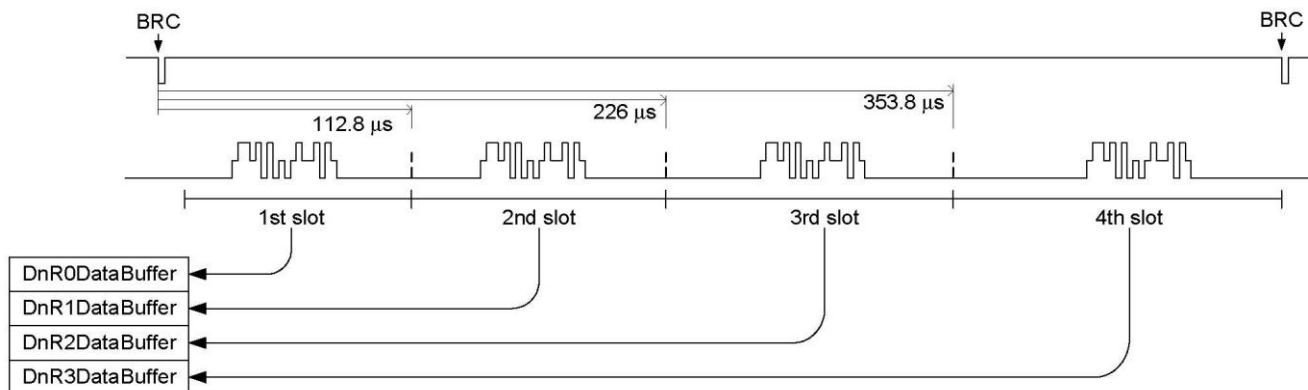


图 19. DSI 定期数据采集模式工作原理

在此模式下，33SA0528 可通过 DSI 总线发送特殊电压脉冲，称为广播读取命令，之后将接收到的所有响应存储在相应的 SPI0 和 SPI1 PDCM 数据缓冲寄存器中。响应必须按照 DSI 协议规范中定义的 TDMA 方法进行隔离。

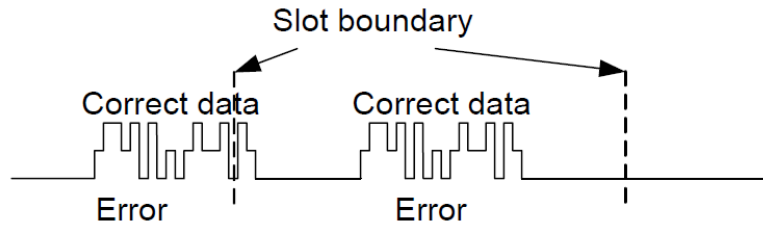


图 20. 定期数据采集模式时隙

四个可用时隙中的其中一个时隙边界之间必须包含来自 DSI 从机的电流调制响应。每个时隙都有一个相关的 PDCM 数据缓冲区 DnRm 寄存器。如果两个或多个响应相互重叠，则置位相应数据缓冲寄存器的 ER 位(ER=1)。

表 45. 定期数据采集模式时隙和数据缓冲寄存器

地址	时隙	SPI0 数据缓冲区	SPI1 数据缓冲区
1	20 - 112.8 μ s	PDCM 数据缓冲区 DnR0	PDCM 数据缓冲区 DnR0
2	112.8 - 226 μ s	PDCM 数据缓冲区 DnR1	PDCM 数据缓冲区 DnR1
3	226 - 353.8 μ s	PDCM 数据缓冲区 DnR2	PDCM 数据缓冲区 DnR2
4	353.8 - 500 μ s	PDCM 数据缓冲区 DnR3	PDCM 数据缓冲区 DnR3

33SA0528 有两个 BRC 传输模式：用于单次传输的手动模式以及每 500 μ s 发送一次 BRC 的自动模式。

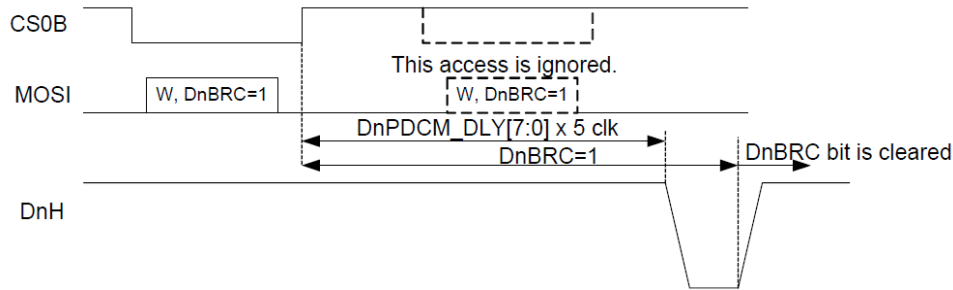


图 21. 定期数据采集模式手动 BRC

如果 DnAUTO 位被清零(DnAUTO=0)，则设备在手动模式下运行，所以当 SPI0 的 PDCM 控制寄存器中的相应 DnBRC 位置位(DnBRC=1)时，单个 BRC 通过 DSI 总线传输。后续所有对 DnBRC 位的写访问都将被忽略，直至 DSI BRC 脉冲传输完成且 DnBRC 位被清零(DnBRC=0)。从 BRC 位置位那一刻起，在经过配置的 PDCM 延迟时间后，将开始传输操作。延迟时间为 5 个时钟计数乘以相应 PDCM_DLY[7:0]位的值。

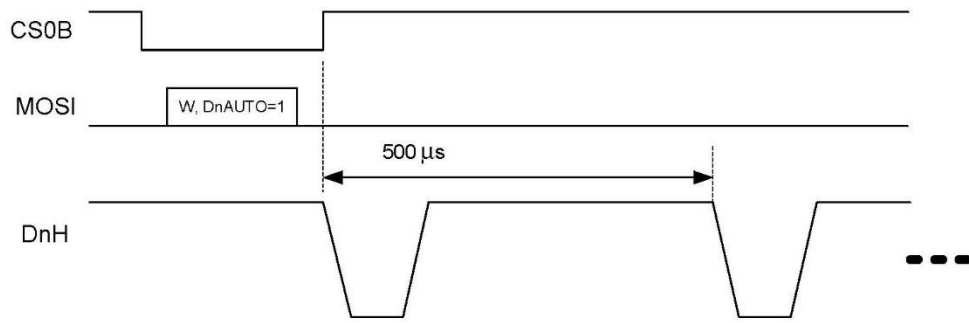


图 22. 定期数据采集模式自动 BRC

当 DnAUTO 位置位(DnAUTO=1)时，在 SPI0 传输结束后立即进行 BRC 传输，时间间隔为 500 μ s。当相应的 DnPDCM_EN 位被清零 (DnPDCM_EN=0)时，忽略对该位的写访问。

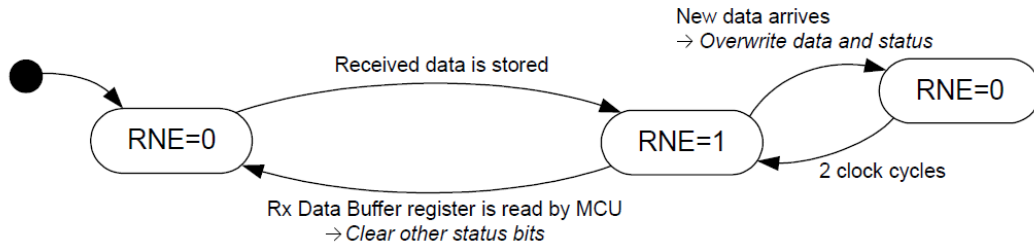


图 23. 定期数据采集模式 RNE 位操作

对于每个 PDCM 数据缓冲寄存器，当接收器逻辑检测到 DSI 从机响应时，RNE 位置位(RNE=1)，表示缓冲区内存在新数据。当 MCU 读取 Rx 数据缓冲寄存器时，RNE 位清零(RNE=0)。如果检测到其他 DSI 从机响应，且接收器不为空，则使用新数据覆盖 Rx 数据缓冲区，RNE 位清零(RNE=0)，且在两个时钟周期后 RNE 位复位(RNE=1)。

要进入定期数据采集模式，PDCM 控制寄存器中相应的 PDCM_EN 位必须置位(PDCM_EN=1)。要退出该模式，必须将 0xFF 写入相应的 DnCLR[7:0]位（请注意，当进入禁用模式时，所有相应的通道寄存器都会被清零）。

6.2.3.4 缓冲区检查模式

通过在内部将缓冲区路由至其他寄存器，该模式可检测并验证缓冲区的状态（例如：用于固定位检查）。在该模式下，写入 SPI0 Tx 缓冲寄存器的所有数据都不是通过 DSI 总线传输，而是复制到每个定期数据缓冲寄存器中，包括 SPI0 和 SPI1 中的寄存器。该操作可置位 Rx 寄存器的相关 RNE 位。Tx 字节至 Rx 字节的路由如下所示：

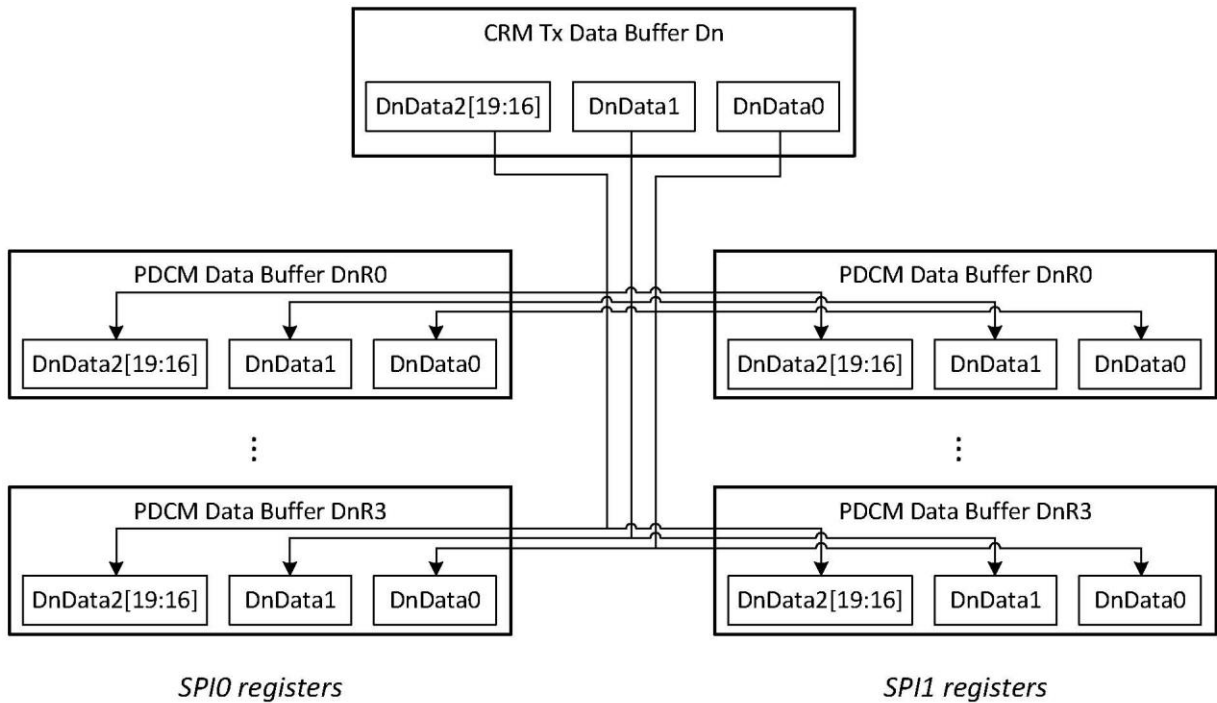


图 24. 缓冲区检查模式字节路由

要进入该模式，BCK0 和 BCK1 位都必须在同一 SPI0 传输中置位。退出该模式的方式有两种，先返回禁用状态：

1. 通过对 BCK0 或 BCK1 位写入 0，可将其清零。
2. 通过写入 CLR[7:0]位可将通道清零。

6.3 总线驱动器保护

总线驱动器有一个具有如下特性的限流器和保护电路：

- 将通过 DHn 和 DLn 输出的电流限制至特定值。
- 相应 DSI 通道的过流关断（电流在特定时间内超过阈值）
- 相应 DSI 通道的热关断（温度在特定时间内超过阈值）

SPI 寄存器中的相应位置位表示满足条件。

表 46. 总线驱动器保护特性

表中参数表示 $9.0\text{ V} \leq V_{\text{DSI}} < 9.6\text{ V}$ 、 $4.8\text{ V} < V_{\text{CC5}} < 5.25\text{ V}$ 、 $-40\text{ }^\circ\text{C} \leq T_{\text{A}} \leq 125\text{ }^\circ\text{C}$ 条件下的特性，除非另有说明。表中的典型值表示在标称条件下 $T_{\text{A}} = 25\text{ }^\circ\text{C}$ 时的近似参数平均值，除非另有说明。本表中未提及的所有参数均符合 DSI 协议规范，除非另有说明。

符号	特性	最小值	典型值	最大值	单位	注
$I_{\text{LIM_DNH(SINK)}}$	高边限流（吸电流）	100	—	200	mA	
$I_{\text{LIM_DNH(SOURCE)}}$	高边限流（源电流）	-200	—	-120	mA	
$I_{\text{LIM_DNL(SINK)}}$	低边限流（吸电流）	100	—	200	mA	
$I_{\text{LIM_DNL(SOURCE)}}$	低边限流（源电流）	-200	—	-120	mA	
$I_{\text{LK_DNH}}$	已禁用高边泄漏	-35	—	10	μA	
CT	• $\text{DHn} \leq V_{\text{DSI}}$	-10	—	10		
RT、HT	• $V_{\text{DSI}} < \text{DHn} < 16\text{ V}$	-1000	—	1000		

表 46. 总线驱动器保护特性（续）

表中参数表示 $9.0\text{ V} \leq V_{\text{DSI}} < 9.6\text{ V}$ 、 $4.8\text{ V} < V_{\text{CC5}} < 5.25\text{ V}$ 、 $-40\text{ }^\circ\text{C} \leq T_{\text{A}} \leq 125\text{ }^\circ\text{C}$ 条件下的特性，除非另有说明。表中的典型值表示在标称条件下 $T_{\text{A}} = 25\text{ }^\circ\text{C}$ 时的近似参数平均值，除非另有说明。本表中未提及的所有参数均符合 DSI 协议规范，除非另有说明。

符号	特性	最小值	典型值	最大值	单位	注
$I_{\text{LK_DNL}}$	已禁用低边泄漏 • $DHn \leq V_{\text{DSI}}$ • $V_{\text{DSI}} < DHn < 16\text{ V}$	-10 -1000	— —	10 1000	μA	
$t_{\text{OCS_DLY}}$	过流关断延迟	230	320	560	μs	

6.4 电源监控器

本模块负责监控 VDSI、VCC5、V2P5A 和 V2P5D 引脚上的电压。

6.4.1 监控操作

6.4.1.1 VDSI

如果该引脚上的电压低于定义的电压阈值，且持续时间超过电压阈值掩码时间，则 33SA0528 继续发送 DSI 命令队列，但会执行以下操作：

- 不置位数据缓冲寄存器中的任何 RNE 位
- 置位数据缓冲寄存器和 DnSTAT 寄存器中的 UV 位

继续执行这些操作，直到适用以下其中一个条件：

- 由 POR 重置设备
- DnCLR[7:0]位在一个 SPI 传输中设置为 0xFF
- DnCTRL 寄存器中的 EN 位清零，然后复位（EN=0，然后 EN=1）

最后，如果 VDSI 低于 VDSI 电压复位阈值，则设备重置。

6.4.1.2 VCC5

如果 VCC5 电压低于其欠压阈值，则 33SA0528 重置。如果 VCC5 上升，则从超过阈值那一刻起在特定的抗尖峰脉冲期后，设备被激活。如果 VCC5 下降，则从低于阈值那一刻起在特定的抗尖峰脉冲期后，设备被重置。

6.4.1.3 V2P5A 和 V2P5D

如果任意电压低于相应的阈值，则 33SA0528 重置。

6.4.2 电气参数

表 47. 电源监控器特性

表中参数表示 $9.0\text{ V} \leq V_{\text{DSI}} < 9.6\text{ V}$ 、 $4.8\text{ V} < V_{\text{CC5}} < 5.25\text{ V}$ 、 $-40\text{ }^\circ\text{C} \leq T_{\text{A}} \leq 125\text{ }^\circ\text{C}$ 条件下的特性，除非另有说明。表中的典型值表示在标称条件下 $T_{\text{A}} = 25\text{ }^\circ\text{C}$ 时的近似参数平均值，除非另有说明。本表中未提及的所有参数均符合 DSI 协议规范，除非另有说明。

符号	特性	最小值	典型值	最大值	单位	注
$V_{\text{DSI_UV}}$	VDSI 电压的下限阈值	8.2	8.5	8.8	V	
$t_{\text{DSI_UV}}$	抗尖峰脉冲期	13	16	25	μs	
$V_{\text{DSI_RST}}$	VDSI 电压的重置阈值	—	—	5.5	V	
$t_{\text{DSI_RST}}$	抗尖峰脉冲期（模拟）	4.0	6.0	12.5	μs	

表 47. 电源监控器特性 (续)

表中参数表示 $9.0\text{ V} \leq V_{\text{DSI}} < 9.6\text{ V}$ 、 $4.8\text{ V} < V_{\text{CC5}} < 5.25\text{ V}$ 、 $-40\text{ }^\circ\text{C} \leq T_{\text{A}} \leq 125\text{ }^\circ\text{C}$ 条件下的特性，除非另有说明。表中的典型值表示在标称条件下 $T_{\text{A}} = 25\text{ }^\circ\text{C}$ 时的近似参数平均值，除非另有说明。本表中未提及的所有参数均符合 DSI 协议规范，除非另有说明。

符号	特性	最小值	典型值	最大值	单位	注
$V_{\text{CC5_UV1}}$	系统重置的 VCC5 欠压阈值	4.5	4.65	4.8	V	
$t_{\text{CC5_UV1_RISE}}$	当 VCC5 上升时，从 VCC5 超过欠压阈值那一刻到开始重置复位的延迟时间	13	16	25	μs	
$t_{\text{CC5_UV1_FALL}}$	当 VCC5 下降时，从 VCC5 低于欠压阈值那一刻到重置激活的延迟时间	13	16	25	μs	
$V_{2\text{P5A_UV}}$	内部模拟电源电压欠压阈值	2.0	2.175	2.35	V	
$V_{2\text{P5D_UV}}$	内部数字电源电压欠压阈值	2.0	2.175	2.35	V	
$t_{2\text{P5A_UV}}$	内部模拟电源电压欠压检测抗尖峰脉冲期	0.5	1.0	2.5	μs	
$t_{2\text{P5D_UV}}$	内部数字电源电压欠压检测抗尖峰脉冲期	0.5	1.0	4.0	μs	
$V_{\text{GNDA_OPEN}}$	模拟接地开路检测阈值	0.2	0.3	0.4	V	
$V_{\text{GNDD_OPEN}}$	数字接地开路检测阈值	0.2	0.3	0.4	V	
$t_{\text{GNDA_OPEN}}$	模拟接地开路检测的抗尖峰脉冲期	13	16	25	μs	
$t_{\text{GNDD_OPEN}}$	数字接地开路检测的抗尖峰脉冲期	13	16	25	μs	

6.5 时钟和重置模块

6.5.1 功能框图

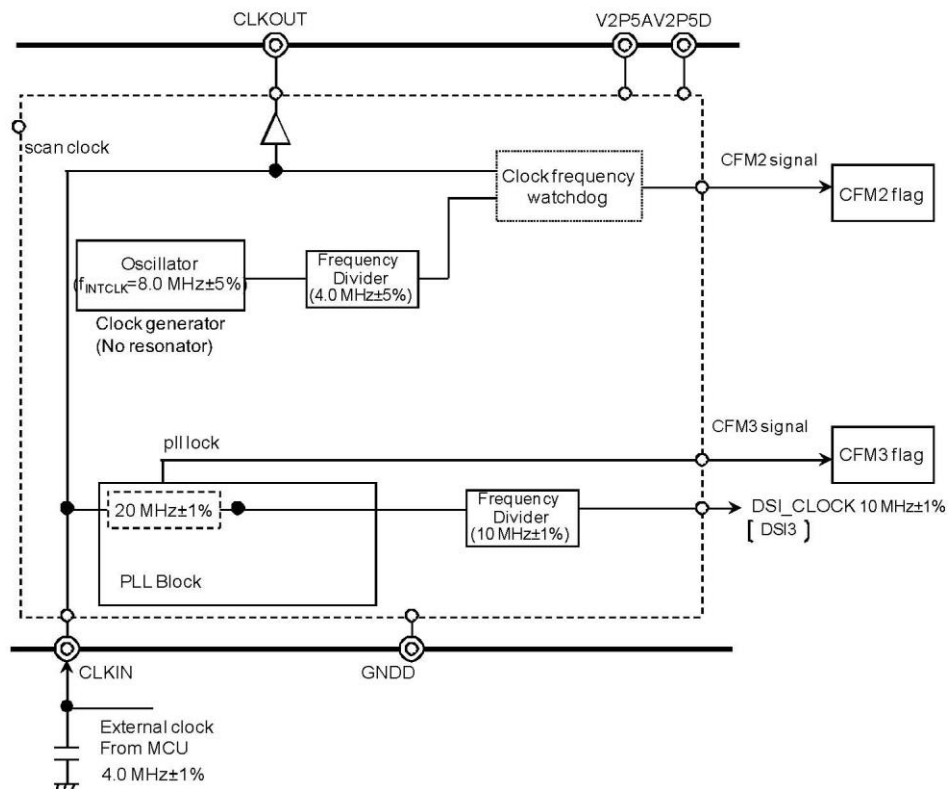


图 25. 时钟模块引脚和功能框图

时钟模块从 CLKIN 引脚获取 4.0 MHz 时钟源。该频率通常由 MCU 提供。作为输出，它可以通过连接至 CLKOUT 引脚的缓冲区提供相同频率。

该模块有一个内部频率发生器，用作检测 CLKIN 异常的参考。如果检测到任何异常，SPI0 中通道控制寄存器的 CFM2 位置位(CFM2=1)。

时钟模块还包含一个 PLL 模块，可通过 CLKIN 生成 10 MHz 频率。这个生成的频率用于 DSI 协议引擎逻辑。如果 PLL 模块不稳定（即 PLL 已失锁），则 SPI0 中通道控制寄存器的 CFM3 位置位(CFM3=1)。

当 CFM2 或 CFM3 位中的任何一个位置位时，10 MHz 频率绑定至低电平，这意味着 DSI 协议引擎不能正常工作，因为它缺少输入时钟。每个标志可通过 SPI 通信对其写入 0 来清零(CFMx=0)。

6.5.2 电气参数

表 48. 时钟和重置模块特性

表中参数表示 $9.0\text{ V} \leq V_{\text{DSI}} < 9.6\text{ V}$ 、 $4.8\text{ V} < V_{\text{CC5}} < 5.25\text{ V}$ 、 $-40\text{ }^\circ\text{C} \leq T_{\text{A}} \leq 125\text{ }^\circ\text{C}$ 条件下的特性，除非另有说明。表中的典型值表示在标称条件下 $T_{\text{A}} = 25\text{ }^\circ\text{C}$ 时的近似参数平均值，除非另有说明。本表中未提及的所有参数均符合 DSI 协议规范，除非另有说明。

符号	特性	最小值	典型值	最大值	单位	注
V_{IH} V_{IL} V_{HYST}	I/O 逻辑电平 (RSTB, CLKIN) • 输入高压 • 输入低压 • 输入迟滞	2.0 — 0.1	— — 0.35	— 0.9 0.8	V	
C_{I}	输入电容 • RSTB 和 CLK	—	—	20	pF	
V_{OL}	输出低压 • CLKOUT 引脚= 1.0 mA	0.0	—	0.5	V	
V_{OH}	输出高压 • CLKOUT 引脚= 1.0 mA	$V_{\text{CC5}} - 0.5$	—	—	V	
I_{RSTBPD}	RSTB 下拉电阻	100	200	400	k Ω	
I_{PD}	CLKIN 下拉电流 • $V_{\text{OUT}} = 1.0\text{ V}$	5.0	10	13	μA	
f_{INTCLK}	内部时钟频率	-5.0%	8.0	+5.0%	MHz	
$f_{\text{CLKIN_WD_FALL}}$	外部输入时钟看门狗异常下降频率	3.50	3.76	3.91	MHz	
$f_{\text{CLKIN_WD_RISE}}$	外部输入时钟看门狗异常上升频率	4.09	4.26	4.58	MHz	
$t_{\text{CLKIN_WD}}$	时钟频率看门狗检测时间	—	—	64	μs	
$t_{\text{CLKIN_TRAN}}$	外部输入时钟传输功能设计保证	—	—	10	ns	
$f_{\text{CLKIN_OP}}$	用于操作 PLL 的 CLKIN 输入频率 • PLL 比率与 CLKIN • $3.76\text{ MHz} \leq \text{CLKIN} \leq 4.24\text{ MHz}$ • $V_{2P5D} > 2.0\text{ V}$	4.95	5.0	5.05		
$t_{\text{CLKIN_HI}}$	CLKIN 周期时间高	75	—	—	ns	
$t_{\text{CLKIN_LO}}$	CLKIN 周期时间低	75	—	—	ns	
$t_{\text{CLKIN_PER}}$	CLKIN 周期	245	250	255	ns	
$t_{\text{CLKIN_LH}}$	CLKIN 过渡时间，从低至高	—	—	100	ns	
$t_{\text{CLKIN_HL}}$	CLKIN 过渡时间，从高至低	—	—	100	ns	
$t_{\text{CLKIN_JITT}}$	用于操作 PLL 的 CLKIN 时钟沿抖动	-25	—	25	ns	
$t_{\text{PLL_LOCK}}$	第一个时钟的 PLL 锁定时间	—	10	40	μs	
$t_{\text{PLL_RELOCK}}$	重新锁定的 PLL 锁定时间	—	15	30	μs	

7 典型应用

7.1 简介

33SA0528 是一款独立的双通道 DSI 收发器。这意味着，它可用作 MCU 和 DSI 从机（最多 8 个）之间的直接接口。MCU 通过 SPI0（用于设备配置和 DSI 操作）和 SPI1（用于 DSI 从机的数据冗余）与 33SA0528 通信。该设备还可用作 DSI 系统基础芯片主芯片的辅助芯片。在这种情况下，33SA0528 用于扩展 DSI SBC 的通道，从而增加可以连接至系统的从机最大数量。使用辅助芯片的主要优势在于：SBC 主机的内部安全逻辑可访问 33SA0528 DSI 数据，从而使该配置非常适合安全应用。

7.2 应用电路图

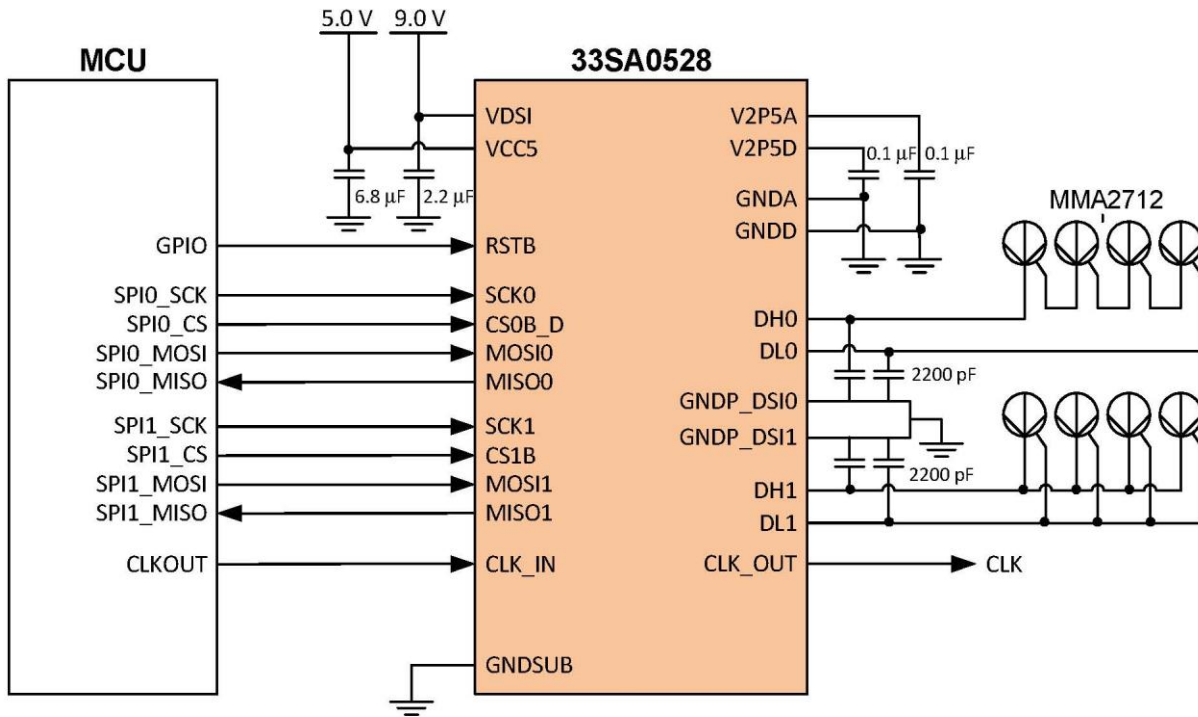


图 26. 33SA0528 作为独立收发器的典型应用原理图

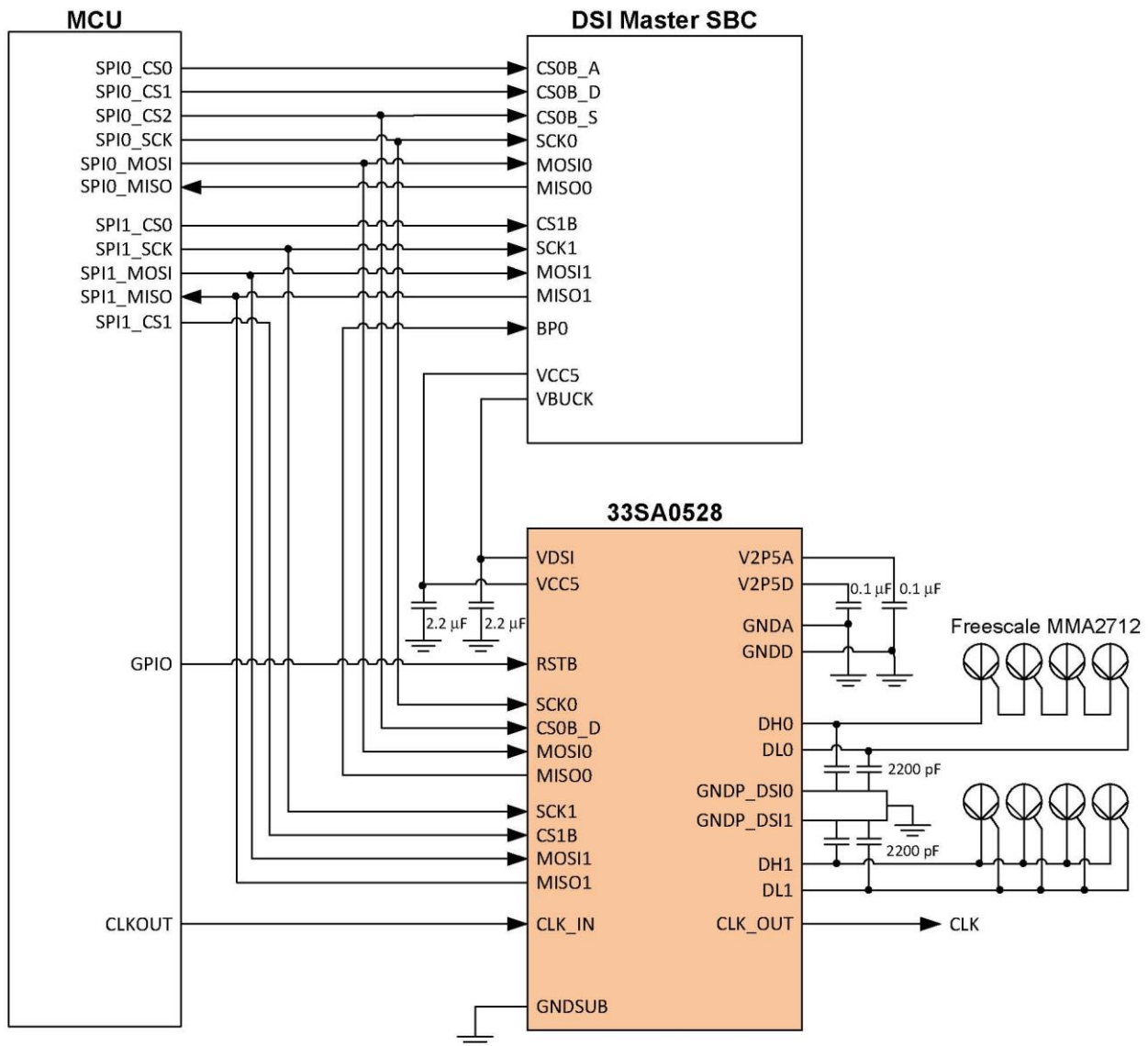


图 27. 33SA0528 作为辅助芯片的典型应用原理图

7.3 布局建议

恩智浦建议按照下述说明放置组件：

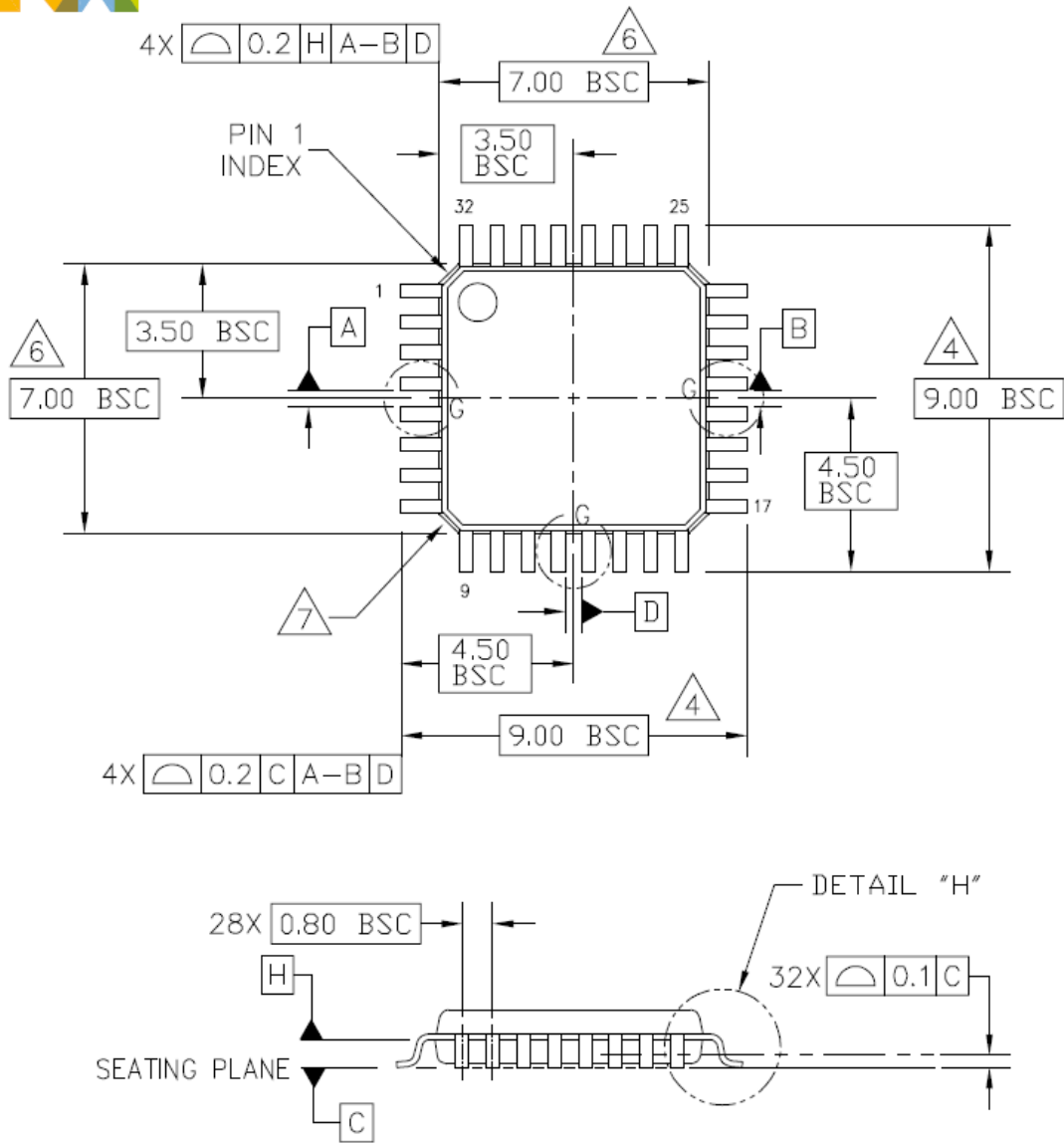
- VDSI 至接地的 2.2 μF 电容靠近芯片
- VCC5 至接地的 2.2 μF 电容靠近芯片
- V2P5A 至 GNDA 的 0.1 μF 电容靠近 GNDA 引脚
- V2P5D 至 GNDD 的 0.1 μF 电容靠近 GNDD 引脚
- DHn、DLn 至 GNDP_DSIn 的 2200 pF 电容靠近相应的 GNDP_DSIn 引脚

8 封装

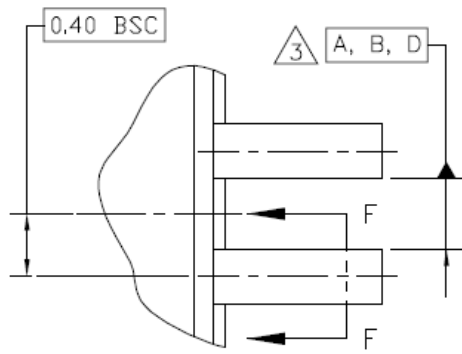
8.1 封装机械尺寸

封装尺寸见封装图纸。如需查看最新的封装尺寸图，请访问 www.nxp.com，并用图纸的文档编号作为关键字进行搜索。

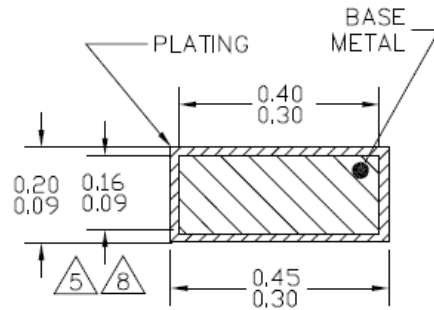
封装	后缀	封装尺寸图编号
32 引脚 LQFP 封装	AC	98ASH70029A



© 恩智浦半导体 保留所有权利	外形尺寸	未按比例绘制
名称: 薄型四侧扁平封装(LQFP) 32 引脚, 0.8 间距(7 X 7 X 1.4)	文档编号: 98ASH70029A	版本: F
	标准: JEDEC MS-026 BBA	
	SOT358-3	2016 年 4 月 1 日

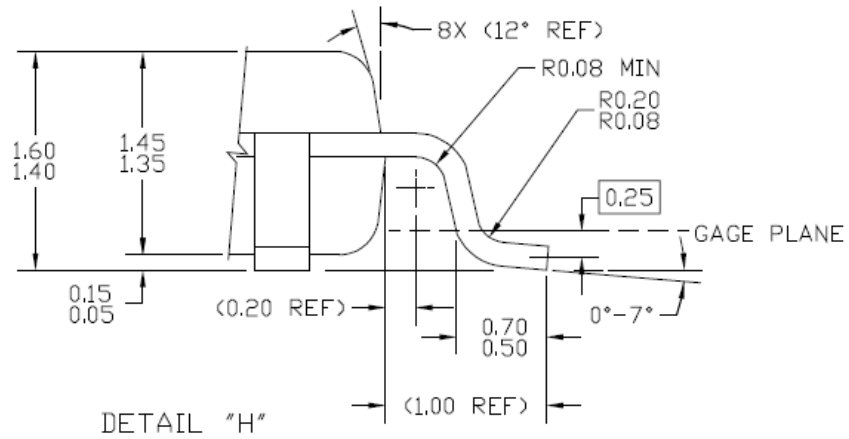


DETAIL G



$\varnothing 0.2 \text{ (M)}$ C A-B D

SECTION F-F
ROTATED 90°CW
32 PLACES



DETAIL "H"

© 恩智浦半导体 保留所有权利	外形尺寸	未按比例绘制
名称: 薄型四侧扁平封装(LQFP) 32 引脚, 0.8 间距(7 X 7 X 1.4)	文档编号: 98ASH70029A	版本: F
	标准: JEDEC MS-026 BBA	
	SOT358-3	2016 年 4 月 1 日



注:

1. 尺寸单位: 毫米。
2. 尺寸和容差遵循 ASME Y14.5-1994 标准规范。
3. 基准点 A、B 和 D 由基准面 H 决定。
4. 尺寸由阀座基准面 C 决定。
5. 尺寸不包括 DAMBAR 突出部分。允许的 DAMBAR 突出部分不得导致引脚宽度超过最大尺寸 0.08 mm。DAMBAR 不能位于较低的半径范围内或底座。突出部分与相邻引脚或突出部分的最小间距: 0.07 mm。
6. 尺寸不包括模具突出部分。允许每侧突出 0.25 mm。尺寸是最大塑料体大小 (包括模具不匹配)。
7. 每个角的确切形状可选
8. 这些尺寸源于引脚尖端 0.1 mm 到 0.25 mm 之间的引脚扁平部分。

© 恩智浦半导体 保留所有权利	外形尺寸	未按比例绘制
名称: 薄型四侧扁平封装(LQFP) 32 引脚, 0.8 间距(7 X 7 X 1.4)	文档编号: 98ASH70029A	版本: F
	标准: JEDEC MS-026 BBA	
	SOT358-3	2016 年 4 月 1 日

9 修订记录

修订	日期	变更说明
1.0	2015 年 1 月	• 初版
2.0	2015 年 2 月	• 对格式和样式进行了微小改动—无技术内容更改 • 将文档状态更改为预告信息 • 将可订购部件编号从 PC 更改为 MC。
3.0	2016 年 5 月	• 更正了表 2 中引脚 5、6、7、8 和 24 的定义 • 更新了文档格式和样式
	2016 年 6 月	• 更正了表 9 的标题
	2016 年 7 月	• 更正了表 8 的地址名称



如何联系我们:

主页:

[NXP.com](http://www.nxp.com)

网络支持:

<http://www.nxp.com/support>

本文档中的信息仅供系统和软件实施人员使用恩智浦产品时参考。本文档没有授予根据本文档中的信息设计或制造任何集成电路的任何明示或暗示的版权许可。恩智浦保留对本文档提及的任何产品进行更改的权利，恕不另行通知。

恩智浦不对其产品的特殊用途适用性做出任何担保、表示或保证，也不承担因应用或使用任何产品或电路而产生的任何责任，特别要拒绝承担任何责任，包括但不限于间接损害或无意损害。“典型值”参数可能在恩智浦数据手册和/或规格中提供，这些参数在不同应用中可能有所不同，实际性能可能随着时间推移而变化。所有工作参数，包括“典型值”，必须针对每种客户应用，由客户的技术专家进行验证。恩智浦不会转让其专利权或其他方权利下的任何许可。恩智浦按照标准销售条款和条件销售产品，具体条款内容请访问：

<http://www.nxp.com/terms-of-use.html>。

恩智浦、恩智浦徽标、飞思卡尔徽标、SafeAssure、SafeAssure 徽标和 SMARTMOS 是 NXP B.V 的商标。所有其他产品或服务名称均为其各自所有者的财产。保留所有权利。

© 2016 NXP B.V.

文档编号: MC33SA0528

第 3.0 版

2016 年 7 月

